

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-122748

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/36				
H 0 4 N 5/66	1 0 2 B			

審査請求 有 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願平6-263754

(22) 出願日 平成6年(1994)10月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浅田 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 小澤 一徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 福森 裕之

東京都港区芝五丁目7番1号 日本電気株式会社内

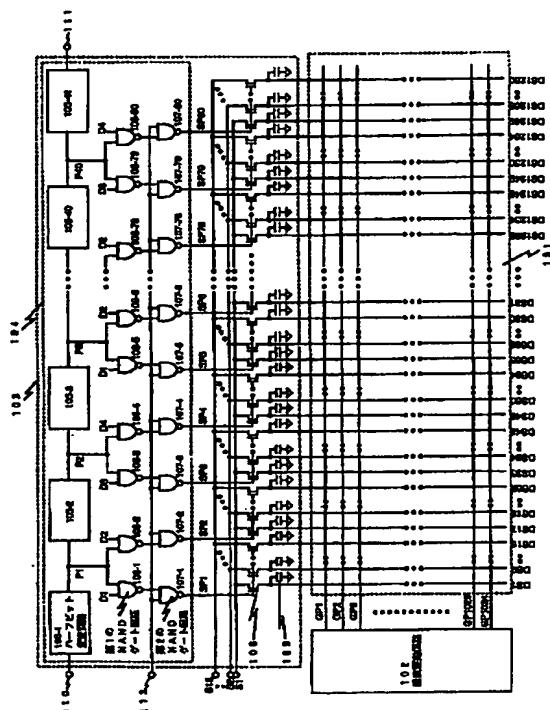
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【目的】 走査方式、画素数の異なるさまざまなパーソナルコンピュータ、ワークステーション、テレビジョン等に対応した液晶表示装置の小型化、低コスト化を目的としている。

【構成】 本発明の液晶表示装置は、ハーフビット構成の走査回路104と、その出力信号と制御信号で制御される第1のNANDゲート回路105と、その第1のNANDゲート回路の出力信号とイネーブル信号で制御される第2のNANDゲート回路107と、その第2のNANDゲート回路の出力信号によって制御されるサンプルホールドスイッチ108とで構成される水平直駆動回路103を備える。走査回路の出力は、2個のNANDゲート回路に接続され、かつ隣接する4個のNANDゲート回路の制御信号すべて異なっている。



【特許請求の範囲】

【請求項 1】複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

前記水平駆動回路が、

パルス信号をクロック信号の半周期分ずつ順次シフトして出力する N 段 (N は正の整数) 走査回路と、

M 個 (M は 2 以上の整数) 毎にそれぞれの第 1 の制御端子が共通接続され、その共通接続された制御端子が前記走査回路の N 個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第 2 の制御端子が共通接続された $(N \times M)$ 個の第 1 の論理ゲート回路と、

第 1 の制御端子が前記第 1 の論理ゲート回路の出力端子に接続され、第 2 の制御端子が共通接続された $(N \times M)$ 個の第 2 の論理ゲート回路と、

制御端子が J 個 (J は正の整数) 毎に共通接続され、その制御端子が前記第 2 の論理ゲート回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された $(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴とする液晶表示装置。

【請求項 2】請求項 1 記載の液晶表示装置を駆動する方法において、

液晶表示装置に入力する映像信号のサンプリング周期を T とした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が 0 より大きく

$(M + 1) \times T$ 以下、パルス周期が $(2 \times M \times T)$ 、位相が T ずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、前記 $(N \times M)$ 個の第 1 の論理ゲート回路の第 2 の制御端子 $D_1, D_2, D_3, \dots, D_{(2 \times M)}$ に、それぞれ順番に入力し、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映される信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 3】請求項 1 記載の液晶表示装置を駆動する方法において、

液晶表示装置に入力する映像信号のサンプリング周期を T とした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が 0 より大きく

$(M + 1) \times T$ 以下、パルス周期が $(2 \times M \times T)$ 、位相が T ずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、前記 $(N \times M)$ 個の第 1 の論理ゲート回路の第 2 の制御端子 $D_1, D_2, D_3, \dots, D_{(2 \times M)}$ に、それぞれ逆の順番に入力し、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映される信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入

力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 4】請求項 1 記載の液晶表示装置を駆動する方法において、

垂直ブランキング期間において、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映されない信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチの J 個の入力端子に入力することを特徴とする液晶表示装置の駆動方法。

【請求項 5】請求項 1 記載の液晶表示装置を駆動する方法において、

水平ブランキング期間において、前記走査回路に入力するクロック信号の周波数を、映像書き込み期間中よりも高い周波数に変調して、パルス信号を転送し、その転送期間中、前記走査回路の出力が、前記第 1 の論理ゲート回路の出力に反映される信号を、前記第 1 の論理ゲート回路の第 2 の制御端子に入力し、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映される信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチの J 個の入力端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 6】複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

前記水平駆動回路が、

パルス信号をクロック信号の半周期分ずつ順次シフトして出力する N 段 (N は正の整数) 走査回路と、

M 個 (M は 2 以上の整数) 毎にそれぞれの第 1 の制御端子が共通接続され、その共通接続された制御端子が前記走査回路の N 個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第 2 の制御端子が共通接続された $(N \times M)$ 個の論理ゲート回路と、

前記論理ゲート回路の出力信号を入力信号とする出力バッファ回路と、

制御端子が J 個 (J は正の整数) 毎に共通接続され、その制御端子が前記出力バッファ回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された $(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴とする液晶表示装置。

【請求項 7】請求項 6 記載の液晶表示装置を駆動する方法において、

垂直ブランキング期間において、所定の周期のクロック信号を、前記走査回路に入力し、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第 2 の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチ

の J 個の入力端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスプレイ、プロジェクタ、テレビジョン等に用いられる、アクティブマトリクス型液晶表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】マルチメディア時代に向けて、映像周波数、画素数、走査方式の異なる、さまざまなパーソナルコンピュータ（以下、PCと記す）、ワークステーション（以下、WSと記す）、テレビジョン等に対応可能な液晶表示装置が要求されるようになってきている。

【0003】PC、WS、テレビジョン等のさまざまなソースに対応するためには、順次走査方式、インタレース駆動、2ライン同時駆動等の各種走査方式を1台の液晶表示装置で行う必要がある。また、液晶表示装置が持つ画素数よりも小さい画素数の映像を自由に拡大表示できる液晶表示装置が望まれている。これらは、主に、液晶表示装置の垂直駆動回路の構成、駆動方法を工夫することによって実現されている。

【0004】さらに、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合には、液晶表示領域外の余った上下、あるいは左右の画素を黒表示にしておくため、ブランキング期間中にその画素の黒表示書き込みを行う必要がある。

【0005】近年、大画面ディスプレイ、プレゼンテーション用ディスプレイとして普及が進んでいる液晶プロジェクタでは、液晶表示装置を通過した光の反射・折曲げ回数の違いから、赤・緑・青に対応した3枚の液晶表示装置のうち1枚のパネルについて、画像をミラー反転させる必要がある。さらに、1台の液晶プロジェクタ装置で、フロント投射、リア投射、床置き、天吊りに対応できる柔軟な液晶表示装置が求められている。このため、垂直駆動回路、水平駆動回路を構成する走査回路は、共に双方向に走査できることが要求される。

【0006】以上説明したような、走査方式、拡大表示、移動、黒表示書き込み、双方向走査をすべて包括できる液晶表示装置が、来るマルチメディア時代の液晶表示装置として強く望まれている。以下、このような液晶表示装置をマルチシンク液晶表示装置と記す。

【0007】一方、液晶表示装置の小型化、低コスト化を狙って、液晶表示装置と同じ基板上に周辺駆動回路を集積化する技術の開発が進んでいる。周辺駆動回路は、アクティブマトリクスアレイを形成する薄膜トランジスタのゲートを走査する垂直駆動回路と、画像信号を画素に供給する水平駆動回路に分けられる。

【0008】特定の走査方式で、特定の画素数の映像を表示する場合には、水平駆動回路に用いられる走査回路

としてシフトレジスタ回路が使われている。しかしながら、シフトレジスタ回路を用いた場合、回路スピードの限界、データ信号の書き込み周波数の限界から、垂直、水平ブランキング期間中に、それぞれ、上下、左右の黒表示書き込みを行うことができず、先に述べたマルチシンク液晶表示装置を実現することは困難である。

【0009】現在、マルチシンク液晶表示装置の水平駆動回路用走査回路には、アドレスデコーダが用いられている。図12は、水平駆動回路103の水平走査回路104にアドレスデコーダを用いた、従来の液晶表示装置の構成を示す図である。図に示す様に、液晶表示装置は、映像を表示するアクティブマトリクスアレイ101と、垂直駆動回路102と、水平駆動回路103とで構成されている。アドレスデコーダ105には、サンプルホールドスイッチ108を選択するための制御信号が複数本入力されている。選択された、サンプルホールドスイッチは、多相展開されたデータ信号を、データバスラインにブロック毎に書き込む。ここでは、16相展開された映像信号S1～S16を供給する場合について示されている。サンプルホールドスイッチ108の出力側には、通常、書き込まれたデータを保持し、その保持されたデータを画素電極に書き込むためのサンプルホールド容量109が設置されている。

【0010】図13は、水平駆動回路用走査回路にアドレスデコーダを用いた液晶表示装置の従来の駆動方法の一例を示す図である。ここでは、垂直駆動回路は、マルチシンク液晶表示装置に対応した回路であるものとする。また、信号線の本数を1280本としており、その場合、制御信号の本数は、A0、/A0（/は論理レベルへの反転を表す）、A1、/A1、・・・、A6、/A6の14個となる。図に示すように、映像書き込み期間において、制御信号A0、/A0、A1、/A1、・・・、A6、/A6には、クロック信号が入力されており、A(i+1)の(iは1から5までの整数)クロック周期は、Aiのクロック周期の2倍となっている。このような制御信号を入力することにより、サンプルホールドスイッチの制御線を順次走査するサンプリングパルス信号SP1、SP2、・・・、SP80を得ることができる。その結果、時刻t1、t2、t3、・・・、t80のタイミングで映像信号を順番にサンプリングして、データバスラインに書き込むことができる。

【0011】アドレスデコーダを用いれば、制御信号の論理レベルの組み合わせにより、任意のサンプルホールドスイッチの制御線を1本、あるいは複数本同時に選択することができる。従って、垂直ブランキング期間中の上下黒書き込み期間において、サンプルホールドスイッチのすべての制御線を選択することができ、上下の黒表示書き込みの時間を十分長くとれる。また、水平ブランキング期間中において、左右の黒表示領域に対応するサンプルホールドスイッチを同時に選択することもでき、

左右の黒書き込みの時間も十分長くとれる。これらの理由により、マルチシンク液晶表示装置の水平駆動回路用走査回路にはアドレスデコーダが用いられている。

【0012】

【発明が解決しようとする課題】図12に示したように、従来のマルチシンク液晶表示装置には、その水平駆動回路用走査回路にアドレスデコーダが用いられている。しかしながら、アドレスデコーダの場合、信号線の数が増大、映像信号展開数の減少とともに、制御線の数が増大するため、液晶ディスプレイモジュールが大きくなる、コスト高となる等の問題が生じる。例えば、信号線の本数が1280本で、16相展開した映像信号が入力される場合には、14個の制御端子が必要となる。さらに信号線の本数が同じ1280本でも、8相展開された映像信号が入力される場合には、16個の制御端子が必要となってくる。

【0013】また、アドレスデコーダは、このように制御信号の数が多く、制御信号の論理レベルの組み合わせによりアドレスを選択するため、制御信号間のノイズやタイミングのずれによって、出力信号にノイズが発生し易いという問題もある。

【0014】一方、水平駆動回路用走査回路にシフトレジスタを用いた液晶表示装置では、シフトレジスタを駆動するために必要なクロック信号端子、入力信号端子の数は、走査線の数に関係なく、合わせて3本程度で済むが、先に述べたように、シフトレジスタでは、回路スピードの限界、データ信号書き込み周波数の限界から、マルチシンク液晶表示装置に対応することはできない。

【0015】本発明の目的は、上記問題点を解決するために、水平駆動回路用走査回路を駆動するための制御信号端子の数を、アドレスデコーダに比べて大幅に削減でき、出力信号にノイズが発生しない、小型、低コストのマルチシンク液晶表示装置とその駆動方法を提供することにある。

【0016】

【課題を解決するための手段】第1の発明は、複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、前記水平駆動回路が、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段（Nは正の整数）走査回路と、M個（Mは2以上の整数）毎にそれぞれの第1の制御端子が共通接続され、その共通接続された制御端子が前記走査回路のN個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第2の制御端子が共通接続された $(N \times M)$ 個の第1の論理ゲート回路と、第1の制御端子が前記第1の論理ゲート回路の出力端子に接続され、第2の制御端子が共通接続された $(N \times M)$ 個の第2の論理ゲート回路と、制御端子がJ個（Jは正の整

数）毎に共通接続され、その制御端子が前記第2の論理ゲート回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された $(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴としている。

【0017】第2の発明の液晶表示装置は、第1の発明において、前記第1および第2の論理ゲート回路が2入力NAND回路であることを特徴としている。

【0018】第3の発明の液晶表示装置は、第1の発明において、前記走査回路が、双方向にパルス信号をシフトする手段を備えていることを特徴としている。

【0019】第4の発明は、第1、第2または第3の液晶表示装置の駆動方法において、液晶表示装置に入力する映像信号のサンプリング周期をTとした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が0より大きく $(M + 1) \times T$ 以下、パルス周期が $(2 \times M \times T)$ 、位相がTずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、前記 $(N \times M)$ 個の第1の論理ゲート回路の第2の制御端子 $D_1, D_2, D_3, \dots, D_{(2 \times M)}$ に、それぞれ順番に入力し、前記第1の論理ゲート回路の出力が、前記第2の論理ゲート回路の出力に反映される信号を、前記第2の論理ゲート回路の第2の制御端子に入力して駆動することを特徴としている。

【0020】第5の発明は、第3の発明の液晶表示装置の駆動方法において、液晶表示装置に入力する映像信号のサンプリング周期をTとした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が0より大きく $(M + 1) \times T$ 以下、パルス周期が $(2 \times M \times T)$ 、位相がTずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A_{(2 \times M)}$ を、前記 $(N \times M)$ 個の第1の論理ゲート回路の第2の制御端子 $D_1, D_2, D_3, \dots, D_{(2 \times M)}$ に、それぞれ逆の順番に入力し、前記第1の論理ゲート回路の出力が、前記第2の論理ゲート回路の出力に反映される信号を、前記第2の論理ゲート回路の第2の制御端子に入力して駆動することを特徴としている。

【0021】第6の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、垂直ブランキンク期間において、前記第2の論理ゲート回路の出力が、前記第1の論理ゲート回路の出力に反映されない信号を、前記第2の論理ゲート回路の第2の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチのJ個の入力端子に入力することを特徴としている。

【0022】第7の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、水平ブランキンク期間において、前記走査回路に入力するクロック信号の周波数を、映像書き込み期間中よりも高い周波数に変

調して、パルス信号を転送し、その転送期間中、前記走査回路の出力が、前記第1の論理ゲート回路の出力に反映される信号を、前記第1の論理ゲート回路の第2の制御端子に入力し、前記第1の論理ゲート回路の出力が、前記第2の論理ゲート回路の出力に反映される信号を、前記第2の論理ゲート回路の第2の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチのJ個の入力端子に入力して駆動することの特徴としている。

【0023】第8の発明は、複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、前記水平駆動回路が、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段(Nは正の整数)走査回路と、M個(Mは2以上の整数)毎にそれぞれの第1の制御端子が共通接続され、その共通接続された制御端子が前記走査回路のN個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第2の制御端子が共通接続された $(N \times M)$ 個の第2の論理ゲート回路と、前記論理ゲート回路の出力信号を入力信号とする出力バッファ回路と、制御端子がJ個(Jは正の整数)毎に共通接続され、その制御端子が前記出力バッファ回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された $(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴としている。

【0024】第9の発明は、第8の液晶表示装置の駆動方法において、垂直ブランキング期間において、所定の周期のクロック信号を、前記走査回路に入力し、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチのJ個の入力端子に入力して駆動することの特徴としている。

【0025】

【実施例】以下に、本発明の液晶表示装置およびその駆動方法の実施例を詳細に説明する。

【0026】図1は本発明の液晶表示装置の第1の実施例を示す図である。液晶表示装置は、走査線と信号線の交点に薄膜トランジスタを配置して構成されたアクティブマトリクスアレイ101と、走査線を駆動する垂直駆動回路102と、信号線を駆動する水平駆動回路103とで構成されている。水平駆動回路103は、図に示すように、水平走査回路104と、その水平走査回路104の出力信号を制御信号とするサンプルホールドスイッチ108とで構成されている。この際、サンプルホールドスイッチ108の制御端子は16個ずつ共通接続され、一方、その入力端子は15個おきに共通接続されている。16相展開された映像信号S1からS16を、そ

れぞれの入力端子に入力することにより、順次選択された16個のサンプルホールドスイッチを通して、映像信号が16個ずつ順番に書き込まれる。サンプルホールド容量109は、データバスラインに書き込まれた映像信号を保持し、その保持された電圧を画素に書き込むための保持容量である。

【0027】本実施例では、信号線の本数を1280本とし、16相展開した映像信号を入力する場合について示されている。この場合、図に示すように、80ビットの水平走査回路104が必要となる。

【0028】本実施例の液晶表示装置の水平走査回路104は、図に示すように、入力端子a110または入力端子b111から入力されたパルス信号をクロック信号に同期して順次シフトするハーフビット構成の40段走査回路105-1~105-41と、そのハーフビット構成走査回路105-1~105-41の各出力信号P1, P2, ..., P40と、制御信号D1, D2, D3, D4とを入力信号とする第1のNANDゲート回路106-1~106-80と、その第1のNANDゲート回路の各出力信号と、入力端子112からの共通のイネーブル信号ENとを入力信号とする第2のNANDゲート107-1~107-80とで構成されている。ハーフビット構成走査回路105-1~105-41の各出力に対し、2個の第1のNANDゲート回路が接続されており、隣接する4個のNANDゲート回路の制御信号はすべて異なっていることが特徴となっている。

【0029】また、ハーフビット構成の走査回路105-1~105-41は、双方向走査が可能な構成となっている。一方向に走査する時には入力端子a110から、逆方向に走査する時には入力端子b111からパルス信号が入力される。

【0030】ハーフビット構成走査回路105-1~105-41は、2相のクロック信号で駆動される回路を用いている。従って、ハーフビット構成走査回路105-1~105-41を駆動するのに必要な駆動信号の数は、逆方向に走査する時に入力端子111入力するパルス信号も含めて、クロック信号2個、入力信号2個の合計4個となる。さらに、第1のNANDゲート回路106-1~106-80の制御信号D1~D4と、第2のNANDゲート回路のイネーブル信号ENを加えて、水平走査回路104に入力する駆動信号の数は、合計9個となっている。この駆動信号の数は、信号線の本数が1280本を越える場合や、映像信号の相展開数が小さくなった場合でも変わらない。

【0031】一方、従来用いられてきたアドレスデコーダを水平走査回路に適用した場合には、先に述べたように、制御信号の数は14個となる。すなわち、本実施例の液晶表示装置では、水平走査回路の駆動信号端子の数が、従来の9/14となっている。また、映像信号の相展開数を8とした場合には、アドレスデコーダの制御信

号の数は、先に述べたように 16 個となり、本実施例の水平走査回路の駆動信号端子の数は、従来の 9/16 となる。

【0032】本実施例では、ハーフビット構成走査回路の段数を 40 段とし、その各出力を 2 個の第 1 の NAND ゲート回路に入力する構成になっているが、ハーフビット構成走査回路の段数を 20 段として、その各出力を 4 個の第 1 の NAND ゲート回路に入力する構成にしても良い。

【0033】また、本実施例では、第 1、第 2 の論理ゲート回路として、NAND ゲート回路を用いているが、
10 ともに NOR ゲート回路に置き換えても良い。その場合、本実施例における、ハーフビット構成走査回路 105-1~105-41 の出力信号 P1~P40 とは論理レベルが反対の信号を、第 1 の NOR ゲート回路に入力し、本実施例における第 2 の NAND ゲート回路に入力するイネーブル信号 EN とは論理レベルが反対の信号を、第 2 の NOR ゲート回路に入力する必要がある。さらに、第 2 の NOR ゲート回路の出力を反転する出力バッファ回路を設ける必要がある。

【0034】図 2 は、本発明の液晶表示装置の駆動方法の第 1 の実施例を示す図である。本実施例は、図 1 に示した液晶表示装置を用いて、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものである。以下、図 2 を用いて、その駆動方法について説明する。

【0035】まず、ハーフビット構成走査回路 105-1~105-41 に、クロック周期が $(4 \times T)$ (T はサンプルホールドスイッチのサンプリング周期) のクロック信号 CLK、および入力端子 a110 からのパルス幅が $(4 \times T)$ の入力パルス信号 VSTa を図 2 に示す
30 タイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路 105-1~105-40 の各出力信号 P1~P40 として、図に示すように、パルス幅が $(4 \times T)$ で、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2 相のクロック信号で駆動されるため、クロック信号として、CLK と逆相の関係にあるクロック信号を外部から入力しても良い。一方、第 1 の NAND ゲート回路 106-1~
40 106-80 の制御信号 D1~D4 として、パルス幅が $(3 \times T)$ 、パルス周期が $(4 \times T)$ 、位相が T ずつ順次シフトしたパルス信号を、図 2 に示すタイミングで入力する。また、第 2 の NAND ゲート回路 107-1~107-80 のイネーブル信号 EN として、論理レベルがハイレベルの信号を入力する。その結果、第 2 の NAND ゲート回路の出力信号 SP1~SP80 として、パルス幅が $(3 \times T)$ 、位相が T ずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチ

は、図に示すように、サンプリングパルスが立ち下がるタイミング $t_1, t_2, t_3, \dots, t_{80}$ で、16 相並列データ信号 S1~S16 をサンプリングし、映像信号をデータバスラインに書き込む。

【0036】以上説明したようにして、映像信号をデータバスラインに書き込むことができる。

【0037】図 3 は、本発明の液晶表示装置の駆動方法の第 2 の実施例を示す図である。本実施例は、図 2 に示した第 1 の実施例と同様に、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものであるが、以下に述べる方法によって、第 1 の実施例よりもサンプリング精度を向上させることができる。

【0038】まず、ハーフビット構成走査回路 105-1~105-41 に、クロック周期が $(4 \times T)$ の (T はサンプルホールドのスイッチのサンプリング周期) クロック信号 CLK、および入力端子 a110 からのパルス幅が $(4 \times T)$ の入力パルス信号 VSTa を図 3 に示す
20 タイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路 105-1~105-40 の各出力信号 P1~P40 として、図に示すように、パルス幅が $(4 \times T)$ で、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が出力される。ここまでの駆動方法は、第 1 の実施例と全く同様である。

【0039】一方、第 1 の NAND ゲート回路 106-1~106-80 の制御信号 D1~D4 として、パルス幅が $(5/2 \times T)$ 、パルス周期が $(4 \times T)$ 、位相が T ずつ順次シフトしたパルス信号を、図に示す
30 タイミングで入力する。すなわち、制御パルス信号 D1 の立ち下がり時刻に対し、制御パルス信号 D4 の立ち上がり時刻を、 $(T/2)$ だけ遅らせたタイミングで入力する。また、第 2 の NAND ゲート回路 107-1~107-80 のイネーブル信号 EN として、論理レベルがハイレベルの信号を入力する。その結果、第 2 の NAND ゲート回路の出力信号 SP1~SP80 として、パルス幅が $(5/2 \times T)$ 、位相が T ずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、図に示すように、サンプリングパルスが立ち下がる
40 タイミング $t_1, t_2, t_3, \dots, t_{80}$ で、16 相並列データ信号 S1~S16 をサンプリングし、映像信号をデータバスラインに書き込む。

【0040】第 1 の実施例との違いは、第 1 の実施例においては、図 2 に示すように、映像信号がサンプリングされるタイミングと他のサンプリングパルス信号が立ち上がるタイミングが一致しているのに対し、本実施例においては、図 3 に示すように、映像信号がサンプリングされるタイミングにおいて、他のサンプリングパルス信号は一定となっている点である。一般に、サンプリングパルス信号の立ち上がり時刻、立ち下がり時刻において

は、入力される映像信号にノイズが発生しやすい。従って、第1の実施例のように、サンプリング時刻と、他のサンプリングパルス信号の立ち上がり時刻が一致している場合には、ノイズを含んだ映像信号をサンプリングすることになるため、サンプリング精度が悪くなる。これに対し、第2の実施例のように、サンプリング時刻と、他のサンプリングパルス信号の立ち上がり時刻をずらした場合には、他のサンプリングパルス信号からのノイズ混入は無くなるため、第1の実施例よりもサンプリング精度を向上させることができる。

【0041】以上説明したようにして、図2に示した第1の実施例よりも高い精度で、映像信号をデータバスラインに書き込むことができる。

【0042】図4は、本発明の液晶表示装置の駆動方法の第3の実施例を示す図である。本実施例は、図2、図3に示した第1、第2の実施例と同様に、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものであるが、以下に述べる方法によって、第1、第2の実施例よりもサンプリング精度を向上させることができる。

【0043】まず、ハーフビット構成走査回路105-1~105-41に、クロック周期が $(4 \times T)$ の $(T$ はサンプリングホールドスイッチのサンプル周期)クロック信号CLK、および入力端子a110からのパルス幅が $(4 \times T)$ の入力パルス信号VSTaを図4に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路105-1~105-40の各出力信号P1~P40として、図に示すように、パルス幅が $(4 \times T)$ で、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が出力される。ここまでの駆動方法は、第1および第2の実施例と全く同様である。

【0044】一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、パルス幅が $(T/2)$ 、パルス周期が $(4 \times T)$ 、位相が T ずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。すなわち、ハーフビット構成走査回路の出力パルス信号P1の立ち上がり時刻に対し、制御パルス信号D1の立ち上がり時刻を、 $((3 \times T)/2)$ だけ遅らせたタイミングで入力する。また、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP1~SP80として、パルス幅が $(T/2)$ 、位相が T ずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、図に示すように、サンプリングパルスが立ち下がるタイミング $t_1, t_2, t_3, \dots, t_{80}$ で、16相並列データ信号S1~S16を順次サンプリングし、映像信号をデータバスラインに書き

込む。

【0045】第1の実施例との違いは、第1の実施例においては、図2に示すように、映像信号がサンプリングされるタイミングと他のサンプリングパルス信号が立ち上がるタイミングが一致しているのに対し、本実施例においては、図4に示すように、映像信号がサンプリングされているタイミングにおいて、他のサンプリングパルス信号は一定となっている点である。従って、第2の実施例の説明のところで述べた理由と同様な理由により、第1の実施例よりもサンプリング精度を向上させることができる。

【0046】第2の実施例との違いは、第2の実施例においては、隣接する3個のサンプリングパルス信号をオーバーラップさせながらシフトさせているのに対し、本実施例においては、サンプリングパルス信号のオーバーラップを完全に無くしている点である。このように駆動することにより、サンプルホールドスイッチがオン状態になっている間、他のサンプリングパルス信号からのノイズを完全に除去することができ、第2の実施例よりも高い精度でサンプリングを行うことができる。

【0047】以上説明したようにして、第1、第2の実施例よりも高い精度で、映像信号をデータバスラインに書き込むことができる。ただし、第3の実施例の駆動方法では、サンプリングパルスの幅を、サンプリング周期 T よりも短くしているために、サンプルホールドスイッチのサンプリング周波数に余裕がある場合に対して有効な駆動方法である。

【0048】また、第3の実施例においては、第1のNANDゲート回路に入力される、ハーフビット構成走査回路の出力パルス信号と、制御パルス信号D1~D4の立ち上がり、立ち下がるのタイミングをずらしているで、クロストーク、ハザードによって生じるノイズを完全に消すことができる。

【0049】図5は、本発明の液晶表示装置の駆動方法の第4の実施例を示す図である。本実施例は、駆動方法の第1の実施例と同様に、図1に示した液晶表示装置を用いて、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものであるが、アクティブマトリクスアレイを逆方向に走査する点で第1の実施例とは異なる。以下、図5を用いて、その駆動方法について説明する。

【0050】まず、ハーフビット構成走査回路105-1~105-41に、クロック周期が $(4 \times T)$ の $(T$ は走査線選択期間)クロック信号CLK、および入力端子b111からのパルス幅が $(4 \times T)$ の入力パルス信号VSTbを図5に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて、第1の実施例とは逆の順番で、順次シフトする。これにより、ハーフビット構成走査回路105-2~105-41の各出力信号P1~P40として、図に示すように、パルス幅が

($4 \times T$) で、位相が ($2 \times T$) ずつ逆の順番で、順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号とし、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、パルス幅が($3 \times T$)、パルス周期が($4 \times T$)、位相が逆の順番で、Tずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。また、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP1~SP80として、パルス幅が($3 \times T$)、位相がTずつ逆の順番で、順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、図に示すように、サンプリングパルスが立ち下がるタイミングt1, t2, t3, ..., t80で、16相並列データ信号S1~S16をサンプリングし、映像信号をデータバスラインに書き込む。

【0051】以上説明したようにして、第1の実施例1とは左右逆の方向で、映像信号をデータバスラインに書き込むことができる。すなわち、映像を左右反転して表示することができる。

【0052】図6は、本発明の液晶表示装置の駆動方法の第5の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、垂直ブランキング期間中において、余った上下の画素領域を黒表示書き込みする駆動方法の一例を示したものである。ここでは、上下それぞれ128ラインずつを黒表示書き込みする場合について示す。以下、図6を用いて、その駆動方法について説明する。

【0053】まず、垂直ブランキング期間中において、ハーフビット構成走査回路105-1~105-41に inputs クロック信号CLK、入力端子a110からの入力信号VSTaをローレベル一定にする。この際、ハーフビット構成走査回路105-1~105-41にはパルス信号のデータは保持されておらず、すべて掃き出されているものとする。これにより、ハーフビット構成走査回路105-1~105-40の出力信号P1~P40は、図に示すように、ローレベル一定の信号となる。一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、論理レベルがローレベル一定の信号を入力する。また、図に示すように、t1の時刻において、第2のNANDゲート回路107-1~107-80のイネーブル信号ENの論理レベルを、ハイレベルからローレベルに切り換える。その後、t4の時刻において、そのイネーブル信号ENの論理レベルを、ローレベルからハイレベルに切り換える。

その結果、第2のNANDゲート回路の出力信号SP1~SP80として、t1からt4の期間、論理レベルがハイレベルである信号が出力される。これにより、t1からt4の期間、すべてのサンプルホールドスイッチをオン状態にすることができる。

【0054】一方、t2からt3の期間において、上下黒表示書き込みするラインのゲートパルス信号GP1~GP128、GP899~GP1024の論理レベルをハイレベルにする。また、映像信号S1~S16として、黒表示の一定信号を入力する。

【0055】このように駆動することにより、t2からt3の期間において、1280個のサンプルホールドスイッチ、および上下それぞれ128ラインに接続された画素スイッチを、すべてオン状態にすることができ、この時に入力されている黒表示のための映像信号を、256ライン同時に書き込むことができる。この際、上下黒書き込みを行う、t2からt3の時間として、256ライン分の画素に黒表示信号を十分書き込めるだけの長い時間がとられる。

20 【0056】以上のようにして、垂直ブランキング期間中に、上下黒書き込みを行うことができる。

【0057】図7、図8（図9に、図7と図8の配置を示す）は、本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、水平ブランキング期間中において、余った左右の画素領域を黒書き込みする駆動方法の一例を示したものである。ここでは、左右128列ずつを黒書き込みする場合の駆動方法について示す。以下、図7、図8を用いて、その駆動方法について説明する。

30 【0058】まず、水平ブランキング期間中において、ハーフビット構成走査回路105-1~105-41に、クロック周期が($2 \times T$)の(Tは映像書き込み期間における、サンプルホールドスイッチのサンプリング周期)クロック信号CLK、および入力端子a110からのパルス幅が($2 \times T$)の入力パルス信号VSTaを図7に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路105-1~105-40の各出力信号P1~P4として、図に示すように、パルス幅が($2 \times T$)で、位相がTずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、論理レベルがハイレベルの信号を入力しておく。さらに、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力

しておく。その結果、第2のNANDゲート回路の出力信号SP1～SP8として、パルス幅が $(2 \times T)$ で、1個おきに位相がTずつ順次シフトしたサンプリングパルス信号が得られる。

【0059】この水平ブランキング期間において、映像信号S1～S16として、黒表示の信号レベルを入力することにより、サンプリングパルス信号SP1とSP2、SP3とSP4、SP5とSP6、SP7とSP8が立ち下がる、それぞれの時刻 t_1 、 t_2 、 t_3 、 t_4 において、黒表示信号がサンプリングされ、データバスラインDS1～DS32、DS33～DS64、DS65～DS96、DS97～DS128に順次書き込まれる。以上のようにして、この水平ブランキング期間において、左側128列分の黒表示書き込みを行うことができる。

【0060】この水平ブランキング期間に続く、映像書き込み期間においては、図2に示した第1の実施例の駆動方法と同様に駆動する。まず、クロック信号CLKの周期を $(2 \times T)$ から $(4 \times T)$ に変調する。このように変調することにより、ハーフビット構成走査回路105-5～105-36の出力信号として、パルス幅が $(4 \times T)$ 、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が得られる。パルス信号P6については、パルス幅が $(5 \times T)$ となっているが、動作には影響しない。一方、第1のNANDゲート回路106-1～106-80の制御信号D1～D4として、パルス幅が $(3 \times T)$ 、パルス周期が $(4 \times T)$ 、位相がTずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。また、第2のNANDゲート回路107-1～107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP9～SP72として、パルス幅が $(3 \times T)$ 、位相がTずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、サンプリングパルスが立ち下がるタイミングで、16相並列データ信号S1～S16をサンプリングし、映像信号をデータバスラインDS129～DS1152に書き込む。

【0061】映像書き込み期間に続く、水平ブランキング期間においては、右側128列の黒表示書き込みを行う。まず、ハーフビット構成走査回路105-1～105-41のクロック信号の周期を $(4 \times T)$ から $(2 \times T)$ に変調する。これにより、ハーフビット構成走査回路105-37～105-40の各出力信号P37～P40として、図に示すように、パルス幅が $(2 \times T)$ で、位相がTずつ順次シフトしたパルス信号が出力される。パルス信号P37、P38については、パルス幅がそれぞれ $(4 \times T)$ 、 $(3 \times T)$ となっているが、動作には影響しない。一方、第1のNANDゲート回路106-1～106-80の制御信号D1～D4として、論

理レベルがハイレベルの信号を入力する。さらに、第2のNANDゲート回路のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力しておく。その結果、第2のNANDゲート回路107-1～107-80の出力信号として、パルス幅が $(2 \times T)$ で、1個おきに位相がTずつ順次シフトしたサンプリングパルス信号が得られる。ただし、サンプリングパルス信号SP73とSP74、およびSP75とSP76については、パルス幅がそれぞれ、 $(4 \times T)$ および $(3 \times T)$ となっている。一方、この水平ブランキング期間において、映像信号S1～S16として、黒表示の信号レベルを入力することにより、サンプリングパルス信号SP73とSP74、SP75とSP76、SP77とSP78、SP79とSP80が立ち下がる、それぞれの時刻 t_5 、 t_6 、 t_7 、 t_8 において、黒表示信号がサンプリングされ、データバスラインDS1153～DS1184、DS1185～DS1216、DS1217～DS1248、DS1249～DS1280に順次書き込まれる。以上のようにして、この水平ブランキング期間において、右側128列分の黒表示書き込みを行うことができる。

【0062】以上説明したように、図1に示した液晶表示装置を用いて、左右の黒表示書き込みを行うことができる。

【0063】図10は本発明の液晶表示装置の第2の実施例を示す図である。図1に示した第1の実施例の液晶表示装置との違いは、図1の第2のNANDゲート回路107-1～107-80を反転出力バッファ回路802-1～802-80に置き換えた点である。その他の構成は、第1の実施例と同様である。すなわち、本実施例の液晶表示装置の水平走査回路104は、図に示すように、入力端子110から入力されたパルス信号をクロック信号に同期して順次シフトするハーフビット構成の40段走査回路105-1～105-41と、そのハーフビット構成走査回路105-1～105-41の各出力信号P1、P2、・・・、P40と、制御信号D1、D2、D3、D4とを入力信号とするNANDゲート回路801-1～801-80と、そのNANDゲート回路の各出力信号を入力信号とする反転出力バッファ回路802-1～802-80とで構成されている。ハーフビット構成走査回路105-1～105-41の各出力に対し、2個のNANDゲート回路が接続されており、隣接する4構成のNANDゲート回路の制御信号はすべて異なっていることが特徴となっている。

【0064】また、ハーフビット構成の走査回路105-1～105-41は、双方向走査が可能な構成となっている。逆方向に走査する時には、入力端子b111からパルス信号が入力される。

【0065】ハーフビット構成走査回路105-1～105-41は、2相のクロック信号で駆動される回路を

10

20

30

40

50

用いている。従って、ハーフビット構成走査回路 105-1~105-41 を駆動するのに必要な駆動信号の数は、逆方向に走査する時に入力するパルス信号も含めて、クロック信号 2 個、入力信号 2 個の合計 4 個となる。さらに、NAND ゲート回路 801-1~801-80 の制御信号 D1~D4 を加えて、水平走査回路 104 に入力する駆動信号の数は、合計 8 個となっている。この駆動信号の数は、信号線の数が 1280 本を越える場合や、映像信号の相展開数が小さくなった場合でも変わらない。一方、従来用いられてきたアドレスデコーダを水平走査回路に適用した場合には、先に述べた様に、制御信号の数は 14 個となる。すなわち、本実施例の液晶表示装置では、水平走査回路の駆動信号端子の数が、従来の 4/7 となっている。また、映像信号の相展開数を 8 とした場合には、アドレスデコーダの制御信号の数は、先に述べたように 16 個となり、本実施例の水平走査回路の駆動信号端子の数は、従来の半分となる。

【0066】本実施例では、ハーフビット構成走査回路の段数を 40 段として、その各出力を 2 個の NAND ゲート回路に入力する構成になっているが、ハーフビット構成走査回路の段数を 20 段として、その各出力を 4 個の NAND ゲート回路に入力する構成にしても良い。

【0067】また、本実施例では、論理ゲート回路として、NAND ゲート回路を用いているが、NOR ゲート回路に置き換えても良い。その場合、本実施例における、ハーフビット構成走査回路 105-1~105-41 の出力信号 P1~P40 とは、論理レベルが反対の信号を NOR ゲート回路に入力し、反転出力バッファ回路を正転出力バッファ回路にする必要がある。

【0068】図 11 は、本発明の液晶表示装置の駆動方法の第 7 の実施例を示す図である。本実施例は、図 10 に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、垂直ブランキング期間中において、余った上下の画素領域を黒書き込みする駆動方法の一例を示したものである。ここでは、上下それぞれ 128 ラインずつを黒表示書き込みする場合について示す。以下、図 11 を用いて、その駆動方法について説明する。

【0069】まず、ハーフビット構成走査回路 105-1~105-41 に、所定のクロック周期 TB のクロック信号 CLK、および入力端子 a110 からのパルス幅が TB の入力パルス信号 VSta を図 11 に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路 105-1~105-41 の各出力信号 P1~P40 として、図に示すように、パルス幅が TB で、位相が (TB/2) ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2 相のクロック信号で駆動されるため、クロック信号として、CLK と逆相の関係にあるクロック信号を外部から入力しても良い。一

方、NAND ゲート回路 801-1~801-80 の制御信号 D1~D4 として、論理レベルがハイレベルの信号を入力する。その結果、出力バッファ回路 802-1~802-80 の出力信号 SP1~SP80 として、パルス幅が TB、1 個おきに位相が (TB/2) ずつ順次シフトしたサンプリングパルス信号が得られる。

【0070】この垂直ブランキング期間において、映像信号 S1~S16 として、黒表示の信号レベルを入力することにより、サンプリングパルス信号 SP1 と SP2, SP3 と SP4, SP5 と SP6, ..., SP79 と SP80 が立ち下がる、それぞれの時刻 t1, t2, t3, ..., t40 において、黒表示信号がサンプリングされ、データバスライン DS1~DS32, DS33~DS64, DS65~DS96, ..., DS1249~DS1280 に順次書き込まれる。この時、上下黒表示書き込みするラインのゲートパルス信号 GP1~GP128, GP899~GP1024 の論理レベルをハイレベルにしておく。その結果、データバスラインに書き込んだ黒表示信号を、上下それぞれ 128 ラインの画素に書き込むことができる。

【0071】以上説明したようにして、図 10 に示した液晶表示装置を用いて、垂直ブランキング期間中に、上下の黒表示書き込みを行うことができる。

【0072】本実施例においては、ハーフビット構成走査回路 105-1~105-41 に入力するパルス信号のパルス幅を TB としたが、(L×TB) と (L は 2 以上の整数) しても良い。その場合、出力バッファ回路から出力されるサンプリングパルス信号のパルス幅は、(L×TB) となり、データバスラインに黒表示信号を書き込む期間を長くすることが可能となる。

【0073】また、本実施例の駆動方法は、図 1 に示した液晶表示装置に適用することもできる。その場合には、第 2 の NAND ゲート回路のイネーブル信号として、論理レベルがハイレベルの信号を入力しておけば良い。

【0074】本実施例の液晶表示装置は、多結晶シリコン薄膜トランジスタをガラス基板上に集積して作製したものである。垂直駆動回路、および水平駆動回路は CMOS スタティック回路で構成したが、CMOS ダイナミック回路で構成することも可能である。また、本実施例では、多結晶シリコン薄膜トランジスタを用いたが、半導体層にアモルファスシリコンやカドミウムセレン等を採用した他の薄膜トランジスタで形成することも可能である。また、単結晶シリコン MOS トランジスタで構成することも可能である。

【0075】

【発明の効果】以上説明したように本発明の液晶表示装置およびその駆動方法を適用すれば、マルチシンク液晶表示装置の水平駆動回路に入力する制御素子の数を 9/14 から半分程度まで削減することができるので、マル

19

チシンク液晶表示装置の小型化、低コスト化を図る上で極めて有効である。この効果は、液晶表示装置の画素数の増大、入力する映像信号の相展開数の減少とともに顕著となる。

【0076】さらに、制御信号のクロストークによるノイズが、全く発生しないので、液晶表示装置を安定に動作させることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の第1の実施例を示す図である。

【図2】本発明の液晶表示装置の駆動方法の第1の実施例を示す図である。

【図3】本発明の液晶表示装置の駆動方法の第2の実施例を示す図である。

【図4】本発明の液晶表示装置の駆動方法の第3の実施例を示す図である。

【図5】本発明の液晶表示装置の駆動方法の第4の実施例を示す図である。

【図6】本発明の液晶表示装置の駆動方法の第5の実施例を示す図である。

【図7】本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。

【図8】本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。

20

【図9】図7と図8の配置を示す図である。

【図10】本発明の液晶表示装置の第2の実施例を示す図である。

【図11】本発明の液晶表示装置の駆動方法の第7の実施例を示す図である。

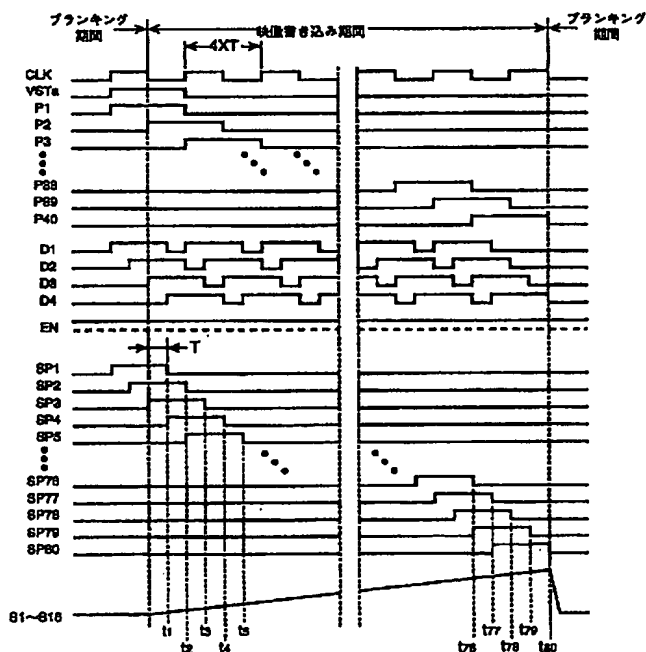
【図12】従来の液晶表示装置を示す図である。

【図13】従来の液晶表示装置の駆動方法の一例を示す図である。

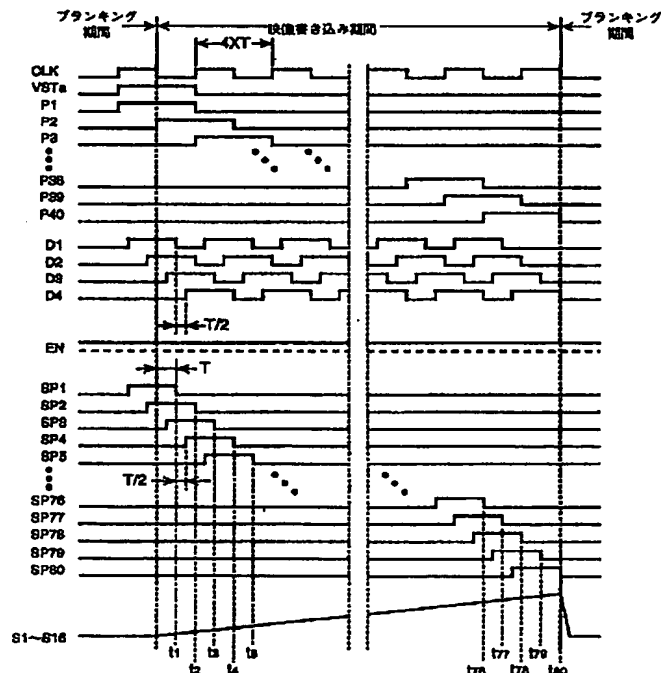
【符号の説明】

- 101 アクティブマトリクスアレイ
- 102 垂直駆動回路
- 103 水平駆動回路
- 104 水平走査回路
- 105-1~105-41 ハーフビット走査回路
- 106-1~106-80 第1のNANDゲート回路
- 107-1~107-80 第2のNANDゲート回路
- 108 サンプルホールドスイッチ
- 109 サンプルホールド容量
- 110 入力端子a
- 111 入力端子b
- 112 イネーブル信号
- 801 NANDゲート回路
- 802 出力バッファ回路

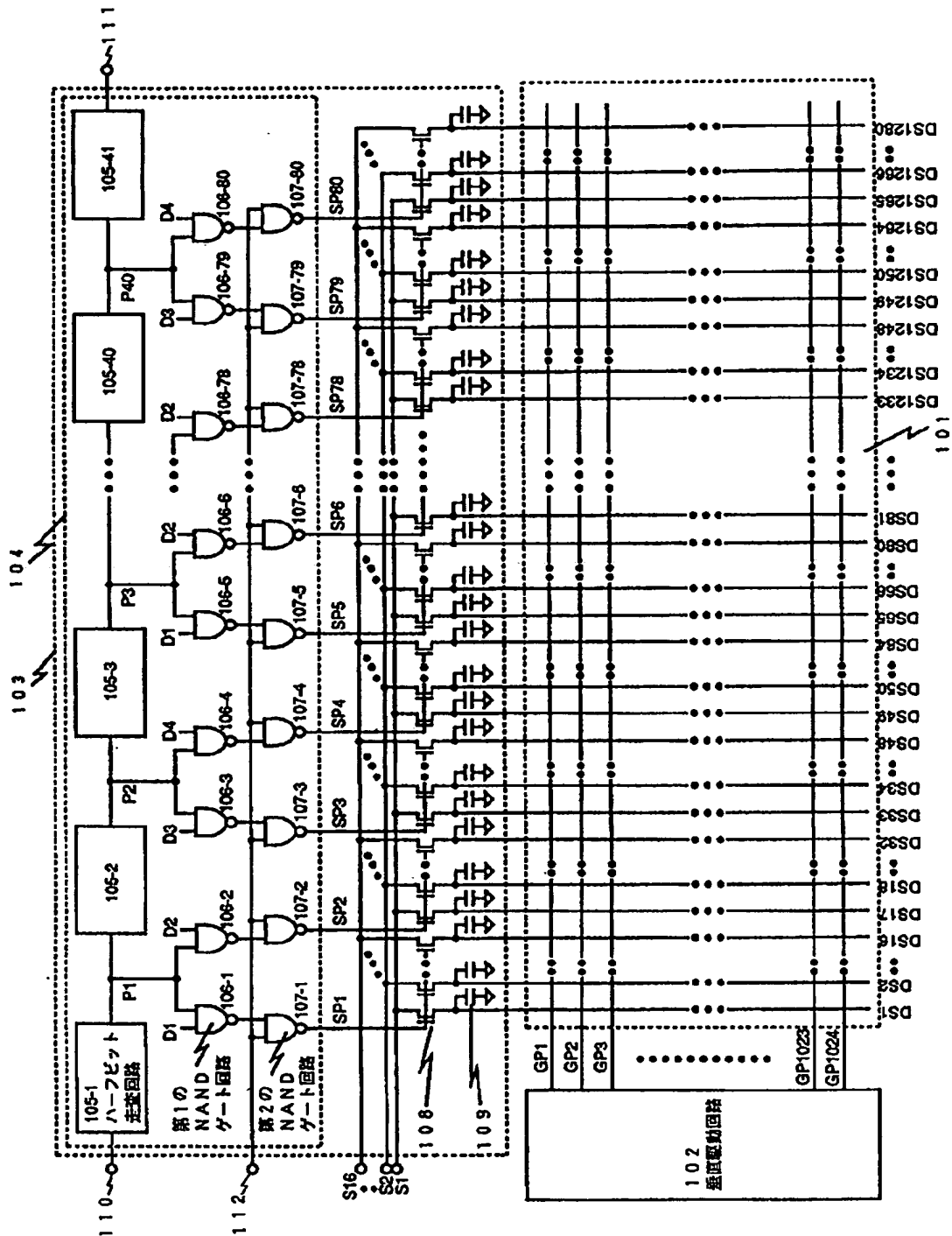
【図2】



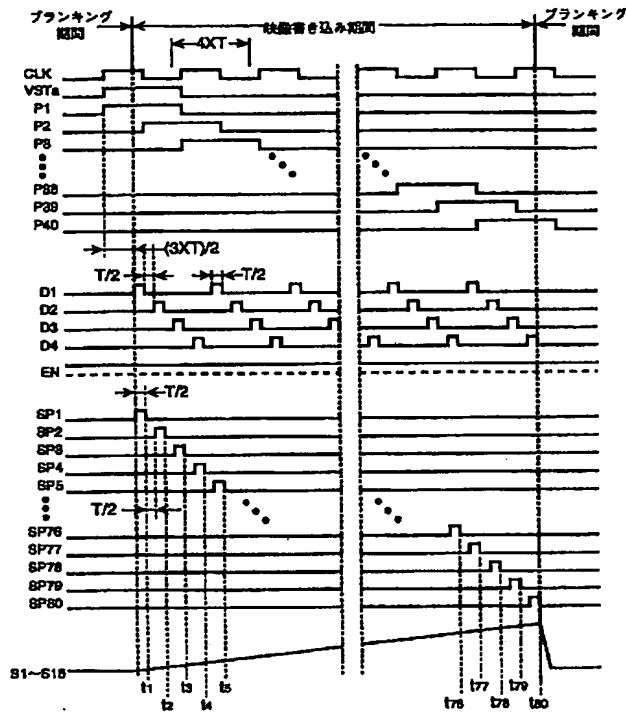
【図3】



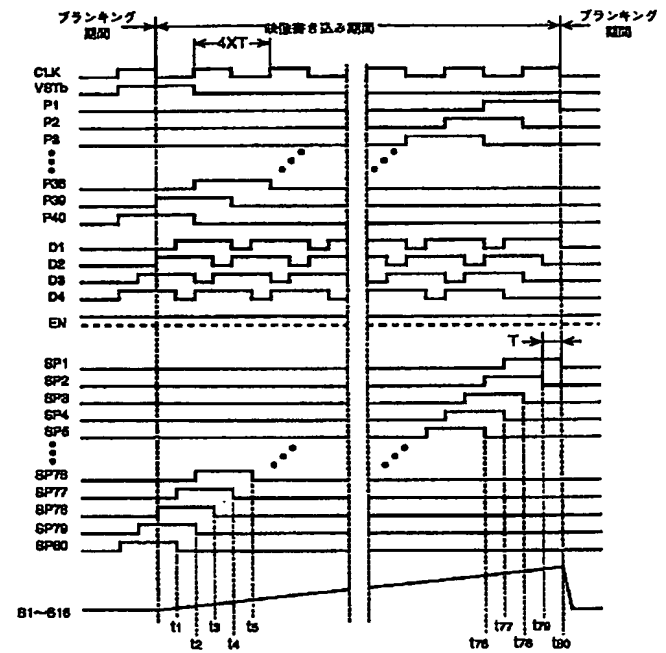
【図 1】



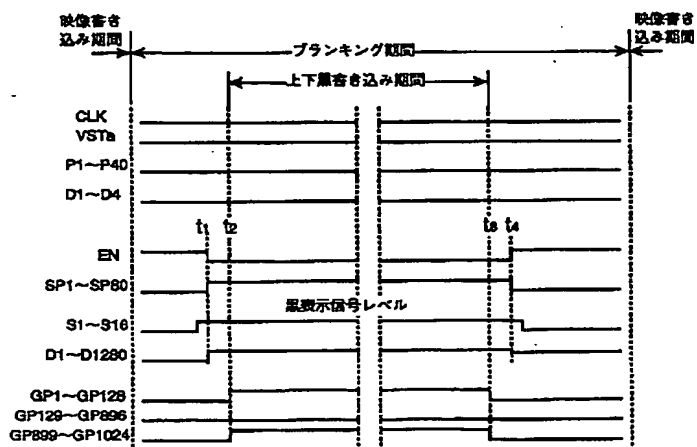
【図 4】



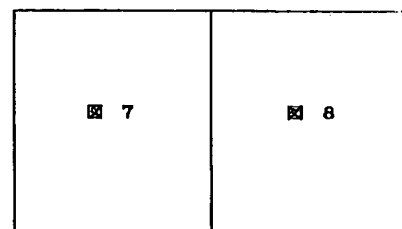
【図 5】



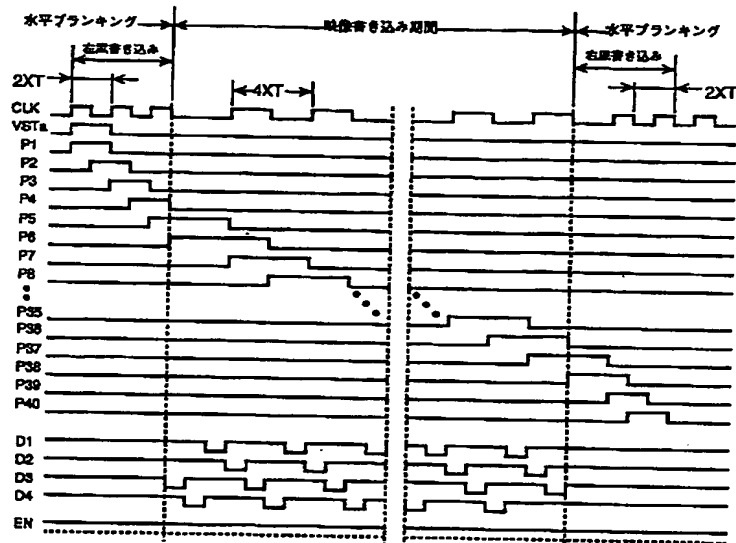
【図 6】



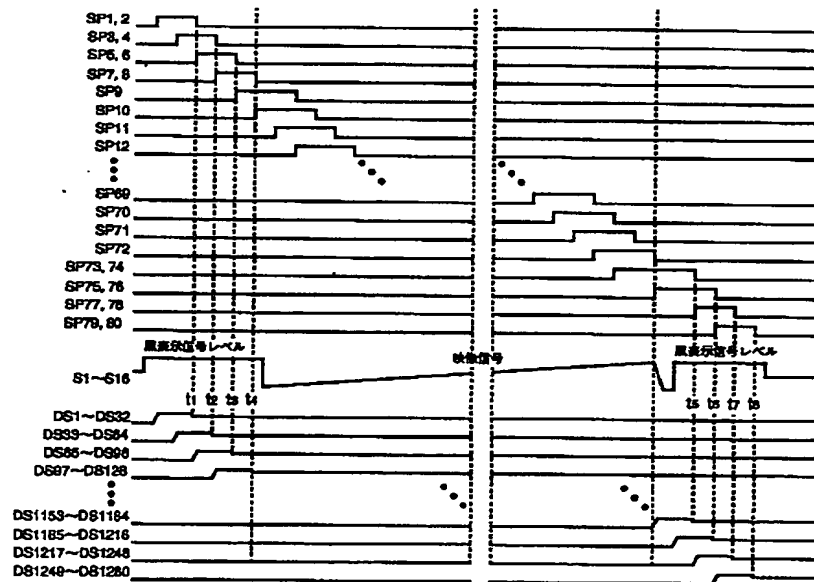
【図 9】



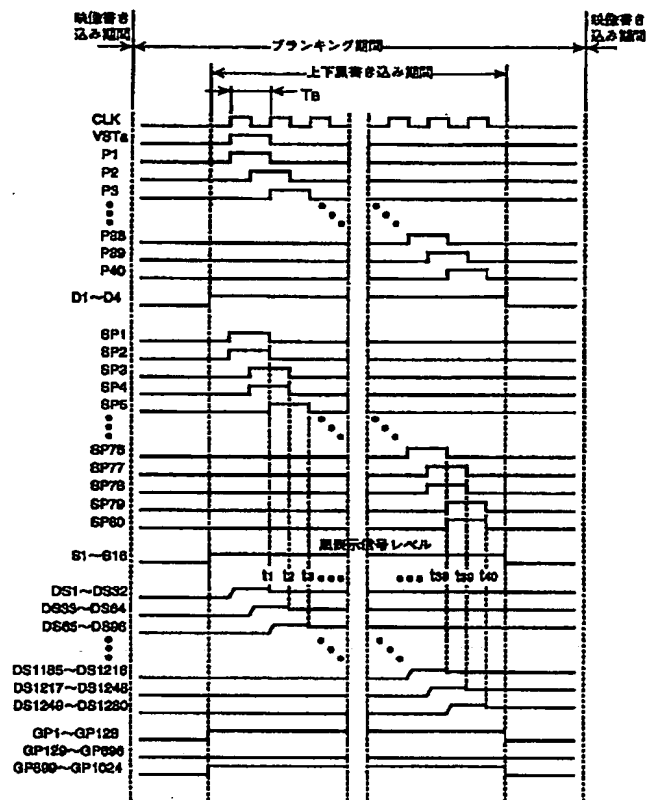
【図 7】



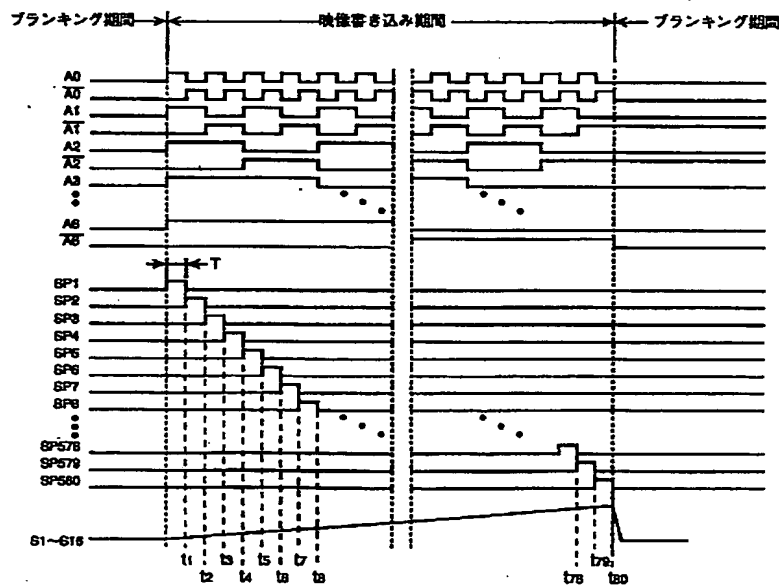
【図 8】



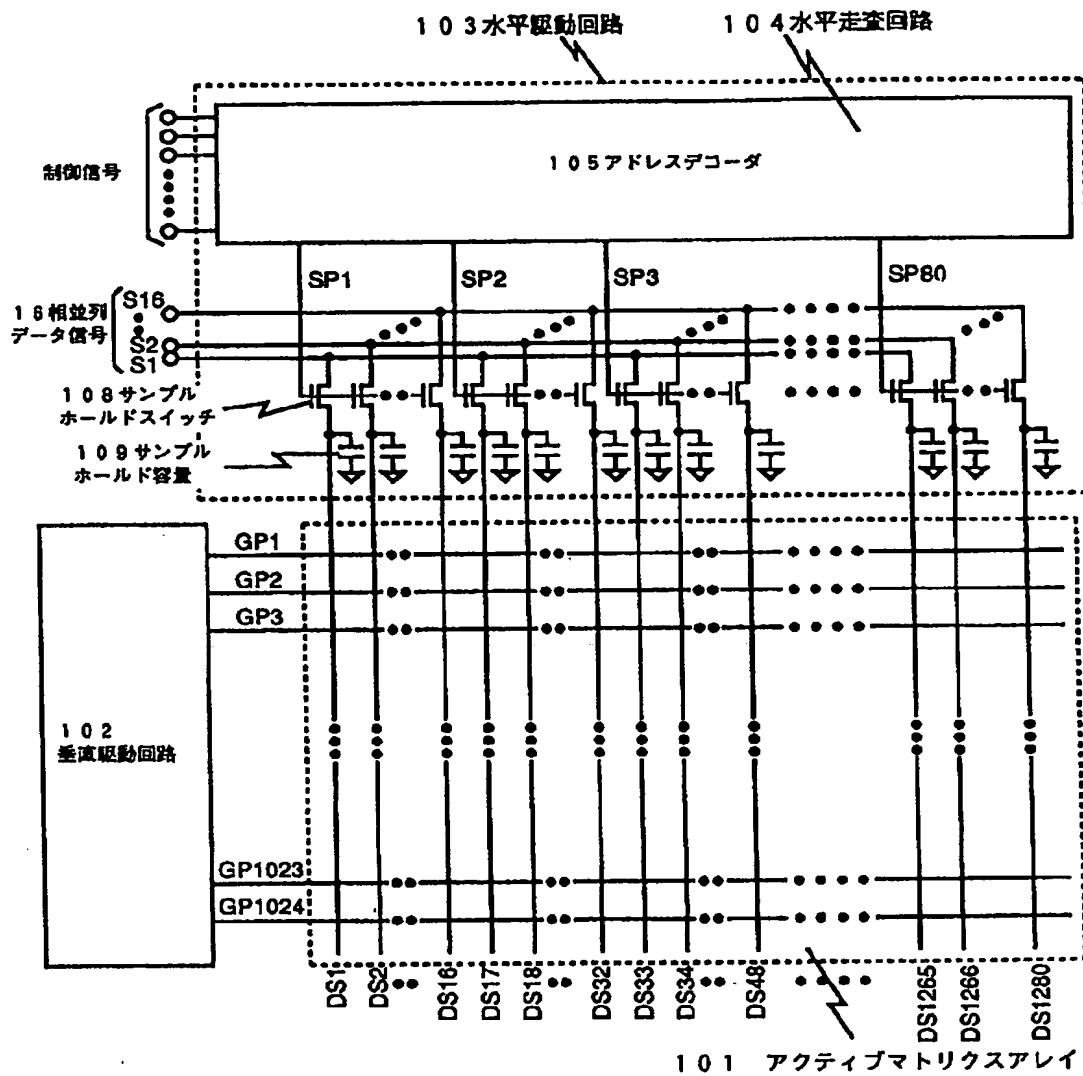
【図 11】



【図 13】



【図12】



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-122748

(43)公開日 平成8年(1996)5月17日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/36				
H 0 4 N 5/66	1 0 2 B			

審査請求 有 請求項の数 7 O L (全 17 頁)

(21)出願番号 特願平6-263754

(22)出願日 平成6年(1994)10月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 浅田 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 小澤 一徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 福森 裕之

東京都港区芝五丁目7番1号 日本電気株式会社内

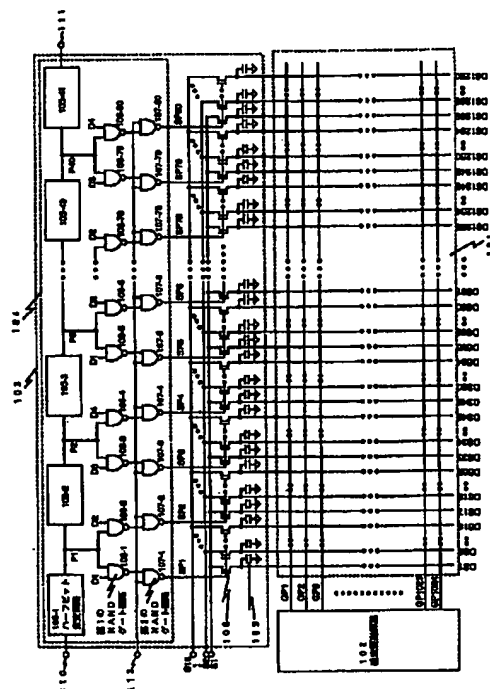
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 液晶表示装置およびその駆動方法

(57)【要約】

【目的】 走査方式、画素数の異なるさまざまなパーソナルコンピュータ、ワークステーション、テレビジョン等に対応した液晶表示装置の小型化、低コスト化を目的としている。

【構成】 本発明の液晶表示装置は、ハーフビット構成の走査回路104と、その出力信号と制御信号で制御される第1のNANDゲート回路105と、その第1のNANDゲート回路の出力信号とイネーブル信号で制御される第2のNANDゲート回路107と、その第2のNANDゲート回路の出力信号によって制御されるサンプルホールドスイッチ108とで構成される水平直駆動回路103を備える。走査回路の出力は、2個のNANDゲート回路に接続され、かつ隣接する4個のNANDゲート回路の制御信号すべて異なっている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

前記水平駆動回路が、

パルス信号をクロック信号の半周期分ずつ順次シフトして出力する N 段 (N は正の整数) 走査回路と、

M 個 (M は 2 以上の整数) 毎にそれぞれの第 1 の制御端子が共通接続され、その共通接続された制御端子が前記走査回路の N 個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第 2 の制御端子が共通接続された $(N \times M)$ 個の第 1 の論理ゲート回路と、

第 1 の制御端子が前記第 1 の論理ゲート回路の出力端子に接続され、第 2 の制御端子が共通接続された $(N \times M)$ 個の第 2 の論理ゲート回路と、

制御端子が J 個 (J は正の整数) 毎に共通接続され、その制御端子が前記第 2 の論理ゲート回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された

$(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴とする液晶表示装置。

【請求項 2】請求項 1 記載の液晶表示装置を駆動する方法において、
液晶表示装置に入力する映像信号のサンプリング周期を T とした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が 0 より大きく $(M + 1) \times T$ 以下、パルス周期が $(2 \times M \times T)$ 、位相が T ずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A(2 \times M)$ を、前記 $(N \times M)$ 個の第 1 の論理ゲート回路の第 2 の制御端子 $D_1, D_2, D_3, \dots, D(2 \times M)$ に、それぞれ順番に入力し、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映される信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 3】請求項 1 記載の液晶表示装置を駆動する方法において、

液晶表示装置に入力する映像信号のサンプリング周期を T とした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が 0 より大きく $(M + 1) \times T$ 以下、パルス周期が $(2 \times M \times T)$ 、位相が T ずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号 $A_1, A_2, \dots, A(2 \times M)$ を、

前記 $(N \times M)$ 個の第 1 の論理ゲート回路の第 2 の制御端子 $D_1, D_2, D_3, \dots, D(2 \times M)$ に、それぞれ逆の順番に入力し、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映される信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入

力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 4】請求項 1 記載の液晶表示装置を駆動する方法において、

垂直ブランキング期間において、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映されない信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチの J 個の入力端子に入力することを特徴とする液晶表示装置の駆動方法。

【請求項 5】請求項 1 記載の液晶表示装置を駆動する方法において、

水平ブランキング期間において、前記走査回路に入力するクロック信号の周波数を、映像書き込み期間中よりも高い周波数に変調して、パルス信号を転送し、その転送期間中、前記走査回路の出力が、前記第 1 の論理ゲート回路の出力に反映される信号を、前記第 1 の論理ゲート回路の第 2 の制御端子に入力し、前記第 1 の論理ゲート回路の出力が、前記第 2 の論理ゲート回路の出力に反映される信号を、前記第 2 の論理ゲート回路の第 2 の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチの J 個の入力端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 6】複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、

前記水平駆動回路が、

パルス信号をクロック信号の半周期分ずつ順次シフトして出力する N 段 (N は正の整数) 走査回路と、

M 個 (M は 2 以上の整数) 毎にそれぞれの第 1 の制御端子が共通接続され、その共通接続された制御端子が前記走査回路の N 個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第 2 の制御端子が共通接続された $(N \times M)$ 個の論理ゲート回路と、

前記論理ゲート回路の出力信号を入力信号とする出力バッファ回路と、

制御端子が J 個 (J は正の整数) 毎に共通接続され、その制御端子が前記出力バッファ回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された $(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴とする液晶表示装置。

【請求項 7】請求項 6 記載の液晶表示装置を駆動する方法において、

垂直ブランキング期間において、所定の周期のクロック信号を、前記走査回路に入力し、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第 2 の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチ

の J 個の入力端子に入力して駆動することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスプレイ、プロジェクタ、テレビジョン等に用いられる、アクティブマトリクス型液晶表示装置およびその駆動方法に関するものである。

【0002】

【従来の技術】マルチメディア時代に向けて、映像周波数、画素数、走査方式の異なる、さまざまなパーソナルコンピュータ（以下、PCと記す）、ワークステーション（以下、WSと記す）、テレビジョン等に対応可能な液晶表示装置が要求されるようになってきている。

【0003】PC、WS、テレビジョン等のさまざまなソースに対応するためには、順次走査方式、インタレース駆動、2ライン同時駆動等の各種走査方式を1台の液晶表示装置で行う必要がある。また、液晶表示装置が持つ画素数よりも小さい画素数の映像を自由に拡大表示できる液晶表示装置が望まれている。これらは、主に、液晶表示装置の垂直駆動回路の構成、駆動方法を工夫することによって実現されている。

【0004】さらに、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合には、液晶表示領域外の余った上下、あるいは左右の画素を黒表示にしておくため、ブランキング期間中にその画素の黒表示書き込みを行う必要がある。

【0005】近年、大画面ディスプレイ、プレゼンテーション用ディスプレイとして普及が進んでいる液晶プロジェクタでは、液晶表示装置を通過した光の反射・折曲げ回数の違いから、赤・緑・青に対応した3枚の液晶表示装置のうち1枚のパネルについて、画像をミラー反転させる必要がある。さらに、1台の液晶プロジェクタ装置で、フロント投射、リア投射、床置き、天井吊りに対応できる柔軟な液晶表示装置が求められている。このため、垂直駆動回路、水平駆動回路を構成する走査回路は、共に双方向に走査できることが要求される。

【0006】以上説明したような、走査方式、拡大表示、移動、黒表示書き込み、双方向走査をすべて包括できる液晶表示装置が、来るマルチメディア時代の液晶表示装置として強く望まれている。以下、このような液晶表示装置をマルチシンク液晶表示装置と記す。

【0007】一方、液晶表示装置の小型化、低コスト化を狙って、液晶表示装置と同じ基板上に周辺駆動回路を集積化する技術の開発が進んでいる。周辺駆動回路は、アクティブマトリクスアレイを形成する薄膜トランジスタのゲートを走査する垂直駆動回路と、画像信号を画素に供給する水平駆動回路に分けられる。

【0008】特定の走査方式で、特定の画素数の映像を表示する場合には、水平駆動回路に用いられる走査回路

としてシフトレジスタ回路が使われている。しかしながら、シフトレジスタ回路を用いた場合、回路スピードの限界、データ信号の書き込み周波数の限界から、垂直、水平ブランキング期間中に、それぞれ、上下、左右の黒表示書き込みを行うことができず、先に述べたマルチシンク液晶表示装置を実現することは困難である。

【0009】現在、マルチシンク液晶表示装置の水平駆動回路用走査回路には、アドレスデコーダが用いられている。図12は、水平駆動回路103の水平走査回路104にアドレスデコーダを用いた、従来の液晶表示装置の構成を示す図である。図に示す様に、液晶表示装置は、映像を表示するアクティブマトリクスアレイ101と、垂直駆動回路102と、水平駆動回路103とで構成されている。アドレスデコーダ105には、サンプルホールドスイッチ108を選択するための制御信号が複数入力されている。選択された、サンプルホールドスイッチは、多相展開されたデータ信号を、データバスラインにブロック毎に書き込む。ここでは、16相展開された映像信号S1～S16を供給する場合について示されている。サンプルホールドスイッチ108の出力側には、通常、書き込まれたデータを保持し、その保持されたデータを画素電極に書き込むためのサンプルホールド容量109が設置されている。

【0010】図13は、水平駆動回路用走査回路にアドレスデコーダを用いた液晶表示装置の従来の駆動方法の一例を示す図である。ここでは、垂直駆動回路は、マルチシンク液晶表示装置に対応した回路であるものとする。また、信号線の本数を1280本としており、その場合、制御信号の本数は、A0、/A0（/は論理レベルへの反転を表す）、A1、/A1、・・・、A6、/A6の14個となる。図に示すように、映像書き込み期間において、制御信号A0、/A0、A1、/A1、・・・、A6、/A6には、クロック信号が入力されており、A(i+1)の(iは1から5までの整数)クロック周期は、Aiのクロック周期の2倍となっている。このような制御信号を入力することにより、サンプルホールドスイッチの制御線を順次走査するサンプリングパルス信号SP1、SP2、・・・、SP80を得ることができる。その結果、時刻t1、t2、t3、・・・、t80のタイミングで映像信号を順番にサンプリングして、データバスラインに書き込むことができる。

【0011】アドレスデコーダを用いれば、制御信号の論理レベルの組み合わせにより、任意のサンプルホールドスイッチの制御線を1本、あるいは複数本同時に選択することができる。従って、垂直ブランキング期間中の上下黒書き込み期間において、サンプルホールドスイッチのすべての制御線を選択することができ、上下の黒表示書き込みの時間を十分長くとれる。また、水平ブランキング期間中において、左右の黒表示領域に対応するサンプルホールドスイッチを同時に選択することもでき、

左右の黒書き込みの時間も十分長くとれる。これらの理由により、マルチシンク液晶表示装置の水平駆動回路用走査回路にはアドレスデコーダが用いられている。

【0012】

【発明が解決しようとする課題】図12に示したように、従来のマルチシンク液晶表示装置には、その水平駆動回路用走査回路にアドレスデコーダが用いられている。しかしながら、アドレスデコーダの場合、信号線の数が増大、映像信号展開数の減少とともに、制御線の数が増大するため、液晶ディスプレイモジュールが大きく、コスト高となる等の問題が生じる。例えば、信号線の数が増大する、1280本で、16相展開した映像信号が入力される場合には、14個の制御端子が必要となる。さらに信号線の数と同じ1280本でも、8相展開された映像信号が入力される場合には、16個の制御端子が必要となってくる。

【0013】また、アドレスデコーダは、このように制御信号の数が多く、制御信号の論理レベルの組み合わせによりアドレスを選択するため、制御信号間のノイズやタイミングのずれによって、出力信号にノイズが発生し易いという問題もある。

【0014】一方、水平駆動回路用走査回路にシフトレジスタを用いた液晶表示装置では、シフトレジスタを駆動するために必要なクロック信号端子、入力信号端子の数は、走査線の数に関係なく、合わせて3本程度で済むが、先に述べたように、シフトレジスタでは、回路スピードの限界、データ信号書き込み周波数の限界から、マルチシンク液晶表示装置に対応することはできない。

【0015】本発明の目的は、上記問題点を解決するために、水平駆動回路用走査回路を駆動するための制御信号端子の数を、アドレスデコーダに比べて大幅に削減でき、出力信号にノイズが発生しない、小型、低コストのマルチシンク液晶表示装置とその駆動方法を提供することにある。

【0016】

【課題を解決するための手段】第1の発明は、複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、前記水平駆動回路が、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段(Nは正の整数)走査回路と、M個(Mは2以上の整数)毎にそれぞれの第1の制御端子が共通接続され、その共通接続された制御端子が前記走査回路のN個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第2の制御端子が共通接続された $(N \times M)$ 個の第1の論理ゲート回路と、第1の制御端子が前記第1の論理ゲート回路の出力端子に接続され、第2の制御端子が共通接続された $(N \times M)$ 個の第2の論理ゲート回路と、制御端子がJ個(Jは正の整

数)毎に共通接続され、その制御端子が前記第2の論理ゲート回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された $(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴としている。

【0017】第2の発明の液晶表示装置は、第1の発明において、前記第1および第2の論理ゲート回路が2入力NAND回路であることを特徴としている。

【0018】第3の発明の液晶表示装置は、第1の発明において、前記走査回路が、双方向にパルス信号をシフトする手段を備えていることを特徴としている。

【0019】第4の発明は、第1、第2または第3の液晶表示装置の駆動方法において、液晶表示装置に入力する映像信号のサンプリング周期をTとした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が0より大きく $((M + 1) \times T)$ 以下、パルス周期が $(2 \times M \times T)$ 、位相がTずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号A1、A2、 \dots 、A $(2 \times M)$ を、前記 $(N \times M)$ 個の第1の論理ゲート回路の第2の制御端子D1、D2、D3、 \dots 、D $(2 \times M)$ に、それぞれ順番に入力し、前記第1の論理ゲート回路の出力が、前記第2の論理ゲート回路の出力に反映される信号を、前記第2の論理ゲート回路の第2の制御端子に入力して駆動することを特徴としている。

【0020】第5の発明は、第3の発明の液晶表示装置の駆動方法において、液晶表示装置に入力する映像信号のサンプリング周期をTとした場合、周期が $(2 \times M \times T)$ であるクロック信号を前記走査回路に入力し、パルス幅が0より大きく $((M + 1) \times T)$ 以下、パルス周期が $(2 \times M \times T)$ 、位相がTずつ順次シフトした、異なる $(2 \times M)$ 個のパルス信号A1、A2、 \dots 、A $(2 \times M)$ を、前記 $(N \times M)$ 個の第1の論理ゲート回路の第2の制御端子D1、D2、D3、 \dots 、D $(2 \times M)$ に、それぞれ逆の順番に入力し、前記第1の論理ゲート回路の出力が、前記第2の論理ゲート回路の出力に反映される信号を、前記第2の論理ゲート回路の第2の制御端子に入力して駆動することを特徴としている。

【0021】第6の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、垂直ブランキング期間において、前記第2の論理ゲート回路の出力が、前記第1の論理ゲート回路の出力に反映されない信号を、前記第2の論理ゲート回路の第2の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチのJ個の入力端子に入力することを特徴としている。

【0022】第7の発明は、第1、第2または第3の発明の液晶表示装置の駆動方法において、水平ブランキング期間において、前記走査回路に入力するクロック信号の周波数を、映像書き込み期間中よりも高い周波数に変

調して、パルス信号を転送し、その転送期間中、前記走査回路の出力が、前記第1の論理ゲート回路の出力に反映される信号を、前記第1の論理ゲート回路の第2の制御端子に入力し、前記第1の論理ゲート回路の出力が、前記第2の論理ゲート回路の出力に反映される信号を、前記第2の論理ゲート回路の第2の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチのJ個の入力端子に入力して駆動することを特徴としている。

【0023】第8の発明は、複数の走査線と複数の信号線との交点にスイッチング素子が配置されたアクティブマトリクスアレイと、前記走査線を駆動する垂直駆動回路と、前記信号線を駆動する水平駆動回路とからなる液晶表示装置において、前記水平駆動回路が、パルス信号をクロック信号の半周期分ずつ順次シフトして出力するN段(Nは正の整数)走査回路と、M個(Mは2以上の整数)毎にそれぞれの第1の制御端子が共通接続され、その共通接続された制御端子が前記走査回路のN個の出力端子にそれぞれ接続され、 $(2 \times M - 1)$ 個おきにそれぞれの第2の制御端子が共通接続された $(N \times M)$ 個の第2の論理ゲート回路と、前記論理ゲート回路の出力信号を入力信号とする出力バッファ回路と、制御端子がJ個(Jは正の整数)毎に共通接続され、その制御端子が前記出力バッファ回路の出力端子に接続され、入力端子が $(J - 1)$ 個おきに共通接続された $(N \times M)$ 個のサンプルホールドスイッチとで構成されていることを特徴としている。

【0024】第9の発明は、第8の液晶表示装置の駆動方法において、垂直ブランキング期間において、所定の周期のクロック信号を、前記走査回路に入力し、前記走査回路の出力が、前記論理ゲート回路の出力に反映される信号を、前記論理ゲート回路の第2の制御端子に入力し、黒表示に相当する信号レベルを、前記サンプルホールドスイッチのJ個の入力端子に入力して駆動することを特徴としている。

【0025】

【実施例】以下に、本発明の液晶表示装置およびその駆動方法の実施例を詳細に説明する。

【0026】図1は本発明の液晶表示装置の第1の実施例を示す図である。液晶表示装置は、走査線と信号線の交点に薄膜トランジスタを配置して構成されたアクティブマトリクスアレイ101と、走査線を駆動する垂直駆動回路102と、信号線を駆動する水平駆動回路103とで構成されている。水平駆動回路103は、図に示すように、水平走査回路104と、その水平走査回路104の出力信号を制御信号とするサンプルホールドスイッチ108とで構成されている。この際、サンプルホールドスイッチ108の制御端子は16個ずつ共通接続され、一方、その入力端子は15個おきに共通接続されている。16相展開された映像信号S1からS16を、そ

れぞれの入力端子に入力することにより、順次選択された16個のサンプルホールドスイッチを通して、映像信号が16個ずつ順番に書き込まれる。サンプルホールド容量109は、データバスラインに書き込まれた映像信号を保持し、その保持された電圧を画素に書き込むための保持容量である。

【0027】本実施例では、信号線の本数を1280本とし、16相展開した映像信号を入力する場合について示されている。この場合、図に示すように、80ビットの水平走査回路104が必要となる。

【0028】本実施例の液晶表示装置の水平走査回路104は、図に示すように、入力端子a110または入力端子b111から入力されたパルス信号をクロック信号に同期して順次シフトするハーフビット構成の40段走査回路105-1~105-41と、そのハーフビット構成走査回路105-1~105-41の各出力信号P1, P2, ..., P40と、制御信号D1, D2, D3, D4とを入力信号とする第1のNANDゲート回路106-1~106-80と、その第1のNANDゲート回路の各出力信号と、入力端子112からの共通のイネーブル信号ENとを入力信号とする第2のNANDゲート107-1~107-80とで構成されている。ハーフビット構成走査回路105-1~105-41の各出力に対し、2個の第1のNANDゲート回路が接続されており、隣接する4個のNANDゲート回路の制御信号はすべて異なっていることが特徴となっている。

【0029】また、ハーフビット構成の走査回路105-1~105-41は、双方向走査が可能な構成となっている。一方向に走査する時には入力端子a110から、逆方向に走査する時には入力端子b111からパルス信号が入力される。

【0030】ハーフビット構成走査回路105-1~105-41は、2相のクロック信号で駆動される回路を用いている。従って、ハーフビット構成走査回路105-1~105-41を駆動するのに必要な駆動信号の数は、逆方向に走査する時に入力端子111入力するパルス信号も含めて、クロック信号2個、入力信号2個の合計4個となる。さらに、第1のNANDゲート回路106-1~106-80の制御信号D1~D4と、第2のNANDゲート回路のイネーブル信号ENを加えて、水平走査回路104に入力する駆動信号の数は、合計9個となっている。この駆動信号の数は、信号線の本数が1280本を越える場合や、映像信号の相展開数が小さくなった場合でも変わらない。

【0031】一方、従来用いられてきたアドレスデコーダを水平走査回路に適用した場合には、先に述べたように、制御信号の数は14個となる。すなわち、本実施例の液晶表示装置では、水平走査回路の駆動信号端子の数が、従来の9/14となっている。また、映像信号の相展開数を8とした場合には、アドレスデコーダの制御信

号の数は、先に述べたように16個となり、本実施例の水平走査回路の駆動信号端子の数は、従来の9/16となる。

【0032】本実施例では、ハーフビット構成走査回路の段数を40段とし、その各出力を2個の第1のNANDゲート回路に入力する構成になっているが、ハーフビット構成走査回路の段数を20段として、その各出力を4個の第1のNANDゲート回路に入力する構成にしても良い。

【0033】また、本実施例では、第1、第2の論理ゲート回路として、NANDゲート回路を用いているが、ともにNORゲート回路に置き換えても良い。その場合、本実施例における、ハーフビット構成走査回路105-1~105-41の出力信号P1~P40とは論理レベルが反対の信号を、第1のNORゲート回路に入力し、本実施例における第2のNANDゲート回路に入力するイネーブル信号ENとは論理レベルが反対の信号を、第2のNORゲート回路に入力する必要がある。さらに、第2のNORゲート回路の出力を反転する出力バッファ回路を設ける必要がある。

【0034】図2は、本発明の液晶表示装置の駆動方法の第1の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものである。以下、図2を用いて、その駆動方法について説明する。

【0035】まず、ハーフビット構成走査回路105-1~105-41に、クロック周期が $(4 \times T)$ (T はサンプルホールドスイッチのサンプリング周期)のクロック信号CLK、および入力端子a110からのパルス幅が $(4 \times T)$ の入力パルス信号VSTaを図2に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路105-1~105-40の各出力信号P1~P40として、図に示すように、パルス幅が $(4 \times T)$ で、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、パルス幅が $(3 \times T)$ 、パルス周期が $(4 \times T)$ 、位相が T ずつ順次シフトしたパルス信号を、図2に示すタイミングで入力する。また、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP1~SP80として、パルス幅が $(3 \times T)$ 、位相が T ずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチ

は、図に示すように、サンプリングパルスが立ち下がるタイミング $t_1, t_2, t_3, \dots, t_{80}$ で、16相並列データ信号S1~S16をサンプリングし、映像信号をデータバスラインに書き込む。

【0036】以上説明したようにして、映像信号をデータバスラインに書き込むことができる。

【0037】図3は、本発明の液晶表示装置の駆動方法の第2の実施例を示す図である。本実施例は、図2に示した第1の実施例と同様に、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものであるが、以下に述べる方法によって、第1の実施例よりもサンプリング精度を向上させることができる。

【0038】まず、ハーフビット構成走査回路105-1~105-41に、クロック周期が $(4 \times T)$ (T はサンプルホールドのスイッチのサンプリング周期)のクロック信号CLK、および入力端子a110からのパルス幅が $(4 \times T)$ の入力パルス信号VSTaを図3に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路105-1~105-40の各出力信号P1~P40として、図に示すように、パルス幅が $(4 \times T)$ で、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が出力される。ここまでの駆動方法は、第1の実施例と全く同様である。

【0039】一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、パルス幅が $((5/2) \times T)$ 、パルス周期が $(4 \times T)$ 、位相が T ずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。すなわち、制御パルス信号D1の立ち上がり時刻に対し、制御パルス信号D4の立ち上がり時刻を、 $(T/2)$ だけ遅らせたタイミングで入力する。また、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP1~SP80として、パルス幅が $((5/2) \times T)$ 、位相が T ずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、図に示すように、サンプリングパルスが立ち下がるタイミング $t_1, t_2, t_3, \dots, t_{80}$ で、16相並列データ信号S1~S16をサンプリングし、映像信号をデータバスラインに書き込む。

【0040】第1の実施例との違いは、第1の実施例においては、図2に示すように、映像信号がサンプリングされるタイミングと他のサンプリングパルス信号が立ち上がるタイミングが一致しているのに対し、本実施例においては、図3に示すように、映像信号がサンプリングされるタイミングにおいて、他のサンプリングパルス信号は一定となっている点である。一般に、サンプリングパルス信号の立ち上がり時刻、立ち下がり時刻において

は、入力される映像信号にノイズが発生しやすい。従って、第1の実施例のように、サンプリング時刻と、他のサンプリングパルス信号の立ち上がり時刻が一致している場合には、ノイズを含んだ映像信号をサンプリングすることになるため、サンプリング精度が悪くなる。これに対し、第2の実施例のように、サンプリング時刻と、他のサンプリングパルス信号の立ち上がり時刻をずらした場合には、他のサンプリングパルス信号からのノイズ混入は無くなるため、第1の実施例よりもサンプリング精度を向上させることができる。

【0041】以上説明したようにして、図2に示した第1の実施例よりも高い精度で、映像信号をデータバスラインに書き込むことができる。

【0042】図4は、本発明の液晶表示装置の駆動方法の第3の実施例を示す図である。本実施例は、図2、図3に示した第1、第2の実施例と同様に、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものであるが、以下に述べる方法によって、第1、第2の実施例よりもサンプリング精度を向上させることができる。

【0043】まず、ハーフビット構成走査回路105-1~105-41に、クロック周期が $(4 \times T)$ の(T はサンプリングホールドスイッチのサンプル周期)クロック信号CLK、および入力端子a110からのパルス幅が $(4 \times T)$ の入力パルス信号VSTaを図4に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路105-1~105-40の各出力信号P1~P40として、図に示すように、パルス幅が $(4 \times T)$ で、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が出力される。ここまでの駆動方法は、第1および第2の実施例と全く同様である。

【0044】一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、パルス幅が $(T/2)$ 、パルス周期が $(4 \times T)$ 、位相が T ずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。すなわち、ハーフビット構成走査回路の出力パルス信号P1の立ち上がり時刻に対し、制御パルス信号D1の立ち上がり時刻を、 $((3 \times T)/2)$ だけ遅らせたタイミングで入力する。また、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP1~SP80として、パルス幅が $(T/2)$ 、位相が T ずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、図に示すように、サンプリングパルスが立ち下がるタイミング $t_1, t_2, t_3, \dots, t_80$ で、16相並列データ信号S1~S16を順次サンプリングし、映像信号をデータバスラインに書き

込む。

【0045】第1の実施例との違いは、第1の実施例においては、図2に示すように、映像信号がサンプリングされるタイミングと他のサンプリングパルス信号が立ち上がるタイミングが一致しているのに対し、本実施例においては、図4に示すように、映像信号がサンプリングされているタイミングにおいて、他のサンプリングパルス信号は一定となっている点である。従って、第2の実施例の説明のところで述べた理由と同様な理由により、第1の実施例よりもサンプリング精度を向上させることができる。

【0046】第2の実施例との違いは、第2の実施例においては、隣接する3個のサンプリングパルス信号をオーバーラップさせながらシフトさせているのに対し、本実施例においては、サンプリングパルス信号のオーバーラップを完全に無くしている点である。このように駆動することにより、サンプルホールドスイッチがオン状態になっている間、他のサンプリングパルス信号からのノイズを完全に除去することができ、第2の実施例よりも高い精度でサンプリングを行うことができる。

【0047】以上説明したようにして、第1、第2の実施例よりも高い精度で、映像信号をデータバスラインに書き込むことができる。ただし、第3の実施例の駆動方法では、サンプリングパルスの幅を、サンプリング周期 T よりも短くしているために、サンプルホールドスイッチのサンプリング周波数に余裕がある場合に対して有効な駆動方法である。

【0048】また、第3の実施例においては、第1のNANDゲート回路に入力される、ハーフビット構成走査回路の出力パルス信号と、制御パルス信号D1~D4の立ち上がり、立ち下がるタイミングをずらしているので、クロストーク、ハザードによって生じるノイズを完全に消すことができる。

【0049】図5は、本発明の液晶表示装置の駆動方法の第4の実施例を示す図である。本実施例は、駆動方法の第1の実施例と同様に、図1に示した液晶表示装置を用いて、映像信号をデータバスラインに書き込むための駆動方法の一例を示したものであるが、アクティブマトリクスアレイを逆方向に走査する点で第1の実施例とは異なる。以下、図5を用いて、その駆動方法について説明する。

【0050】まず、ハーフビット構成走査回路105-1~105-41に、クロック周期が $(4 \times T)$ の(T は走査線選択期間)クロック信号CLK、および入力端子b111からのパルス幅が $(4 \times T)$ の入力パルス信号VSTbを図5に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて、第1の実施例とは逆の順番で、順次シフトする。これにより、ハーフビット構成走査回路105-2~105-41の各出力信号P1~P40として、図に示すように、パルス幅が

($4 \times T$) で、位相が ($2 \times T$) ずつ逆の順番で、順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号とし、CLKと逆相の関係にあるクロック信号を外から入力しても良い。一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、パルス幅が ($3 \times T$)、パルス周期が ($4 \times T$)、位相が逆の順番で、Tずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。また、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP1~SP80として、パルス幅が ($3 \times T$)、位相がTずつ逆の順番で、順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、図に示すように、サンプリングパルスが立ち下がるタイミングt1, t2, t3, ..., t80で、16相並列データ信号S1~S16をサンプリングし、映像信号をデータバスラインに書き込む。

【0051】以上説明したようにして、第1の実施例1とは左右逆の方向で、映像信号をデータバスラインに書き込むことができる。すなわち、映像を左右反転して表示することができる。

【0052】図6は、本発明の液晶表示装置の駆動方法の第5の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、垂直ブランキング期間中において、余った上下の画素領域を黒表示書き込みする駆動方法の一例を示したものである。ここでは、上下それぞれ128ラインずつを黒表示書き込みする場合について示す。以下、図6を用いて、その駆動方法について説明する。

【0053】まず、垂直ブランキング期間中において、ハーフビット構成走査回路105-1~105-41に inputsするクロック信号CLK、入力端子a110からの入力信号VSTaをローレベル一定にする。この際、ハーフビット構成走査回路105-1~105-41にはパルス信号のデータは保持されておらず、すべて掃き出されているものとする。これにより、ハーフビット構成走査回路105-1~105-40の出力信号P1~P40は、図に示すように、ローレベル一定の信号となる。一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、論理レベルがローレベル一定の信号を入力する。また、図に示すように、t1の時刻において、第2のNANDゲート回路107-1~107-80のイネーブル信号ENの論理レベルを、ハイレベルからローレベルに切り換える。その後、t4の時刻において、そのイネーブル信号ENの論理レベルを、ローレベルからハイレベルに切り換える。

その結果、第2のNANDゲート回路の出力信号SP1~SP80として、t1からt4の期間、論理レベルがハイレベルである信号が出力される。これにより、t1からt4の期間、すべてのサンプルホールドスイッチをオン状態にすることができる。

【0054】一方、t2からt3の期間において、上下黒表示書き込みするラインのゲートパルス信号GP1~GP128、GP899~GP1024の論理レベルをハイレベルにする。また、映像信号S1~S16として、黒表示の一定信号を入力する。

【0055】このように駆動することにより、t2からt3の期間において、1280個のサンプルホールドスイッチ、および上下それぞれ128ラインに接続された画素スイッチを、すべてオン状態にすることができ、この時に入力されている黒表示のための映像信号を、256ライン同時に書き込むことができる。この際、上下黒書き込みを行う、t2からt3の時間として、256ライン分の画素に黒表示信号を十分書き込めるだけの長い時間がとられる。

20 【0056】以上のようにして、垂直ブランキング期間中に、上下黒書き込みを行うことができる。

【0057】図7、図8 (図9に、図7と図8の配置を示す) は、本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。本実施例は、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、水平ブランキング期間中において、余った左右の画素領域を黒書き込みする駆動方法の一例を示したものである。ここでは、左右128列ずつを黒書き込みする場合の駆動方法について示す。以下、図7、図8を用いて、その駆動方法について説明する。

30 【0058】まず、水平ブランキング期間中において、ハーフビット構成走査回路105-1~105-41に、クロック周期が ($2 \times T$) の (Tは映像書き込み期間における、サンプルホールドスイッチのサンプリング周期) クロック信号CLK、および入力端子a110からのパルス幅が ($2 \times T$) の入力パルス信号VSTaを図7に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路105-1~105-4の各出力信号P1~P4として、図に示すように、パルス幅が ($2 \times T$) で、位相がTずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外から入力しても良い。一方、第1のNANDゲート回路106-1~106-80の制御信号D1~D4として、論理レベルがハイレベルの信号を入力しておく。さらに、第2のNANDゲート回路107-1~107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力

しておく。その結果、第2のNANDゲート回路の出力信号SP1～SP8として、パルス幅が $(2 \times T)$ で、1個おきに位相がTずつ順次シフトしたサンプリングパルス信号が得られる。

【0059】この水平ブランキング期間において、映像信号S1～S16として、黒表示の信号レベルを入力することにより、サンプリングパルス信号SP1とSP2、SP3とSP4、SP5とSP6、SP7とSP8が立ち下がる、それぞれの時刻 t_1 、 t_2 、 t_3 、 t_4 において、黒表示信号がサンプリングされ、データバスラインDS1～DS32、DS33～DS64、DS65～DS96、DS97～DS128に順次書き込まれる。以上のようにして、この水平ブランキング期間において、左側128列分の黒表示書き込みを行うことができる。

【0060】この水平ブランキング期間に続く、映像書き込み期間においては、図2に示した第1の実施例の駆動方法と同様に駆動する。まず、クロック信号CLKの周期を $(2 \times T)$ から $(4 \times T)$ に変調する。このように変調することにより、ハーフビット構成走査回路105-5～105-36の出力信号として、パルス幅が $(4 \times T)$ 、位相が $(2 \times T)$ ずつ順次シフトしたパルス信号が得られる。パルス信号P6については、パルス幅が $(5 \times T)$ となっているが、動作には影響しない。一方、第1のNANDゲート回路106-1～106-80の制御信号D1～D4として、パルス幅が $(3 \times T)$ 、パルス周期が $(4 \times T)$ 、位相がTずつ順次シフトしたパルス信号を、図に示すタイミングで入力する。また、第2のNANDゲート回路107-1～107-80のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力する。その結果、第2のNANDゲート回路の出力信号SP9～SP72として、パルス幅が $(3 \times T)$ 、位相がTずつ順次シフトしたサンプリングパルス信号が得られる。そのサンプリングパルス信号によって選択されたサンプルホールドスイッチは、サンプリングパルスが立ち下がるタイミングで、16相並列データ信号S1～S16をサンプリングし、映像信号をデータバスラインDS129～DS1152に書き込む。

【0061】映像書き込み期間に続く、水平ブランキング期間においては、右側128列の黒表示書き込みを行う。まず、ハーフビット構成走査回路105-1～105-41のクロック信号の周期を $(4 \times T)$ から $(2 \times T)$ に変調する。これにより、ハーフビット構成走査回路105-37～105-40の各出力信号P37～P40として、図に示すように、パルス幅が $(2 \times T)$ で、位相がTずつ順次シフトしたパルス信号が出力される。パルス信号P37、P38については、パルス幅がそれぞれ $(4 \times T)$ 、 $(3 \times T)$ となっているが、動作には影響しない。一方、第1のNANDゲート回路106-1～106-80の制御信号D1～D4として、論

理レベルがハイレベルの信号を入力する。さらに、第2のNANDゲート回路のイネーブル信号ENとして、論理レベルがハイレベルの信号を入力しておく。その結果、第2のNANDゲート回路107-1～107-80の出力信号として、パルス幅が $(2 \times T)$ で、1個おきに位相がTずつ順次シフトしたサンプリングパルス信号が得られる。ただし、サンプリングパルス信号SP73とSP74、およびSP75とSP76については、パルス幅がそれぞれ、 $(4 \times T)$ および $(3 \times T)$ となっている。一方、この水平ブランキング期間において、映像信号S1～S16として、黒表示の信号レベルを入力することにより、サンプリングパルス信号SP73とSP74、SP75とSP76、SP77とSP78、SP79とSP80が立ち下がる、それぞれの時刻 t_5 、 t_6 、 t_7 、 t_8 において、黒表示信号がサンプリングされ、データバスラインDS1153～DS1184、DS1185～DS1216、DS1217～DS1248、DS1249～DS1280に順次書き込まれる。以上のようにして、この水平ブランキング期間において、右側128列分の黒表示書き込みを行うことができる。

【0062】以上説明したように、図1に示した液晶表示装置を用いて、左右の黒表示書き込みを行うことができる。

【0063】図10は本発明の液晶表示装置の第2の実施例を示す図である。図1に示した第1の実施例の液晶表示装置との違いは、図1の第2のNANDゲート回路107-1～107-80を反転出力バッファ回路802-1～802-80に置き換えた点である。その他の構成は、第1の実施例と同様である。すなわち、本実施例の液晶表示装置の水平走査回路104は、図に示すように、入力端子110から入力されたパルス信号をクロック信号に同期して順次シフトするハーフビット構成の40段走査回路105-1～105-41と、そのハーフビット構成走査回路105-1～105-41の各出力信号P1、P2、・・・、P40と、制御信号D1、D2、D3、D4とを入力信号とするNANDゲート回路801-1～801-80と、そのNANDゲート回路の各出力信号を入力信号とする反転出力バッファ回路802-1～802-80とで構成されている。ハーフビット構成走査回路105-1～105-41の各出力に対し、2個のNANDゲート回路が接続されており、隣接する4構成のNANDゲート回路の制御信号はすべて異なっていることが特徴となっている。

【0064】また、ハーフビット構成の走査回路105-1～105-41は、双方向走査が可能な構成となっている。逆方向に走査する時には、入力端子b111からパルス信号が入力される。

【0065】ハーフビット構成走査回路105-1～105-41は、2相のクロック信号で駆動される回路を

用いている。従って、ハーフビット構成走査回路105-1~105-41を駆動するのに必要な駆動信号の数は、逆方向に走査する時に入力するパルス信号も含めて、クロック信号2個、入力信号2個の合計4個となる。さらに、NANDゲート回路801-1~801-80の制御信号D1~D4を加えて、水平走査回路104に inputsする駆動信号の数は、合計8個となっている。この駆動信号の数は、信号線の本数が1280本を越える場合や、映像信号の相展開数が小さくなった場合でも変わらない。一方、従来用いられてきたアドレスデコーダを水平走査回路に適用した場合には、先に述べた様に、制御信号の数は14個となる。すなわち、本実施例の液晶表示装置では、水平走査回路の駆動信号端子の数が、従来の4/7となっている。また、映像信号の相展開数を8とした場合には、アドレスデコーダの制御信号の数は、先に述べたように16個となり、本実施例の水平走査回路の駆動信号端子の数は、従来の半分となる。

【0066】本実施例では、ハーフビット構成走査回路の段数を40段として、その各出力を2個のNANDゲート回路に入力する構成になっているが、ハーフビット構成走査回路の段数を20段として、その各出力を4個のNANDゲート回路に入力する構成にしても良い。

【0067】また、本実施例では、論理ゲート回路として、NANDゲート回路を用いているが、NORゲート回路に置き換えても良い。その場合、本実施例における、ハーフビット構成走査回路105-1~105-41の出力信号P1~P40とは、論理レベルが反対の信号をNORゲート回路に入力し、反転出力バッファ回路を正転出力バッファ回路にする必要がある。

【0068】図11は、本発明の液晶表示装置の駆動方法の第7の実施例を示す図である。本実施例は、図10に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、垂直ブランキング期間中において、余った上下の画素領域を黒書き込みする駆動方法の一例を示したものである。ここでは、上下それぞれ128ラインずつを黒表示書き込みする場合について示す。以下、図11を用いて、その駆動方法について説明する。

【0069】まず、ハーフビット構成走査回路105-1~105-41に、所定のクロック周期TBのクロック信号CLK、および入力端子a110からのパルス幅がTBの入力パルス信号VSTaを図11に示すタイミングで入力し、その入力パルス信号をクロック信号に同期させて順次シフトする。これにより、ハーフビット構成走査回路105-1~105-41の各出力信号P1~P40として、図に示すように、パルス幅がTBで、位相が(TB/2)ずつ順次シフトしたパルス信号が出力される。走査回路は、通常、2相のクロック信号で駆動されるため、クロック信号として、CLKと逆相の関係にあるクロック信号を外部から入力しても良い。一

方、NANDゲート回路801-1~801-80の制御信号D1~D4として、論理レベルがハイレベルの信号を入力する。その結果、出力バッファ回路802-1~802-80の出力信号SP1~SP80として、パルス幅がTB、1個おきに位相が(TB/2)ずつ順次シフトしたサンプリングパルス信号が得られる。

【0070】この垂直ブランキング期間において、映像信号S1~S16として、黒表示の信号レベルを入力することにより、サンプリングパルス信号SP1とSP2、SP3とSP4、SP5とSP6、・・・、SP79とSP80が立ち下がる、それぞれの時刻t1、t2、t3、・・・、t40において、黒表示信号がサンプリングされ、データバスラインDS1~DS32、DS33~DS64、DS65~DS96、・・・、DS1249~DS1280に順次書き込まれる。この時、上下黒表示書き込みするラインのゲートパルス信号GP1~GP128、GP899~GP1024の論理レベルをハイレベルにしておく。その結果、データバスラインに書き込んだ黒表示信号を、上下それぞれ128ラインの画素に書き込むことができる。

【0071】以上説明したようにして、図10に示した液晶表示装置を用いて、垂直ブランキング期間中に、上下の黒表示書き込みを行うことができる。

【0072】本実施例においては、ハーフビット構成走査回路105-1~105-41に inputsするパルス信号のパルス幅をTBとしたが、(L×TB)と(Lは2以上の整数)しても良い。その場合、出力バッファ回路から出力されるサンプリングパルス信号のパルス幅は、(L×TB)となり、データバスラインに黒表示信号を書き込む期間を長くすることが可能となる。

【0073】また、本実施例の駆動方法は、図1に示した液晶表示装置に適用することもできる。その場合には、第2のNANDゲート回路のイネーブル信号として、論理レベルがハイレベルの信号を入力しておけば良い。

【0074】本実施例の液晶表示装置は、多結晶シリコン薄膜トランジスタをガラス基板上に集積して作製したものである。垂直駆動回路、および水平駆動回路はCMOSスタティック回路で構成したが、CMOSダイナミック回路で構成することも可能である。また、本実施例では、多結晶シリコン薄膜トランジスタを用いたが、半導体層にアモルファスシリコンやカドミウムセレン等を採用した他の薄膜トランジスタで形成することも可能である。また、単結晶シリコンMOSトランジスタで構成することも可能である。

【0075】

【発明の効果】以上説明したように本発明の液晶表示装置およびその駆動方法を適用すれば、マルチシンク液晶表示装置の水平駆動回路に inputsする制御素子の数を9/14から半分程度まで削減することができるので、マル

チシク液晶表示装置の小型化、低コスト化を図る上で極めて有効である。この効果は、液晶表示装置の画素数の増大、入力する映像信号の相展開数の減少とともに顕著となる。

【0076】さらに、制御信号のクロストークによるノイズが、全く発生しないので、液晶表示装置を安定に動作させることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の第1の実施例を示す図である。

【図2】本発明の液晶表示装置の駆動方法の第1の実施例を示す図である。

【図3】本発明の液晶表示装置の駆動方法の第2の実施例を示す図である。

【図4】本発明の液晶表示装置の駆動方法の第3の実施例を示す図である。

【図5】本発明の液晶表示装置の駆動方法の第4の実施例を示す図である。

【図6】本発明の液晶表示装置の駆動方法の第5の実施例を示す図である。

【図7】本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。

【図8】本発明の液晶表示装置の駆動方法の第6の実施例を示す図である。

【図9】図7と図8の配置を示す図である。

【図10】本発明の液晶表示装置の第2の実施例を示す図である。

【図11】本発明の液晶表示装置の駆動方法の第7の実施例を示す図である。

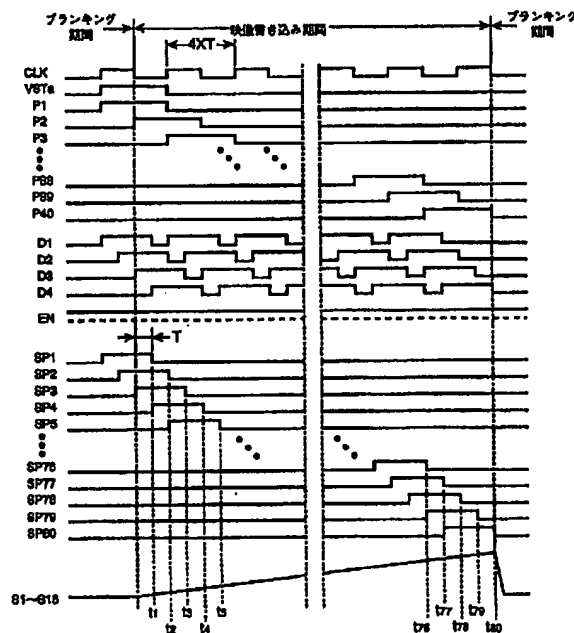
【図12】従来の液晶表示装置を示す図である。

【図13】従来の液晶表示装置の駆動方法の一例を示す図である。

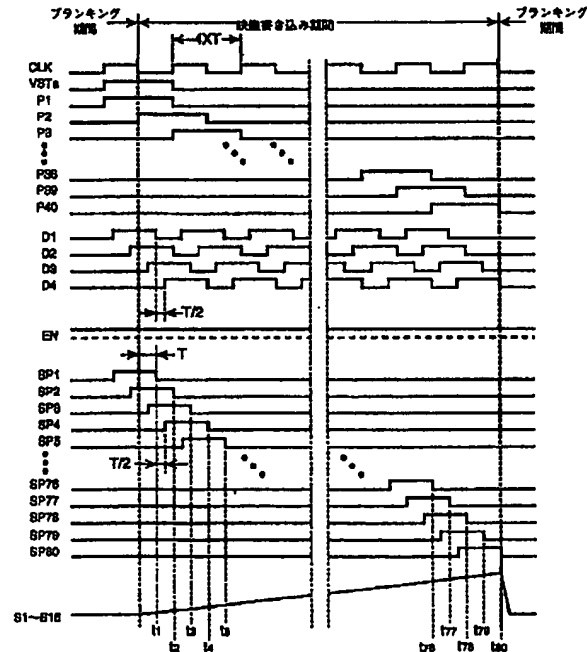
【符号の説明】

- 10 101 アクティブマトリクスアレイ
- 102 垂直駆動回路
- 103 水平駆動回路
- 104 水平走査回路
- 105-1~105-41 ハーフビット走査回路
- 106-1~106-80 第1のNANDゲート回路
- 107-1~107-80 第2のNANDゲート回路
- 108 サンプルホールドスイッチ
- 109 サンプルホールド容量
- 110 入力端子a
- 20 111 入力端子b
- 112 イネーブル信号
- 801 NANDゲート回路
- 802 出力バッファ回路

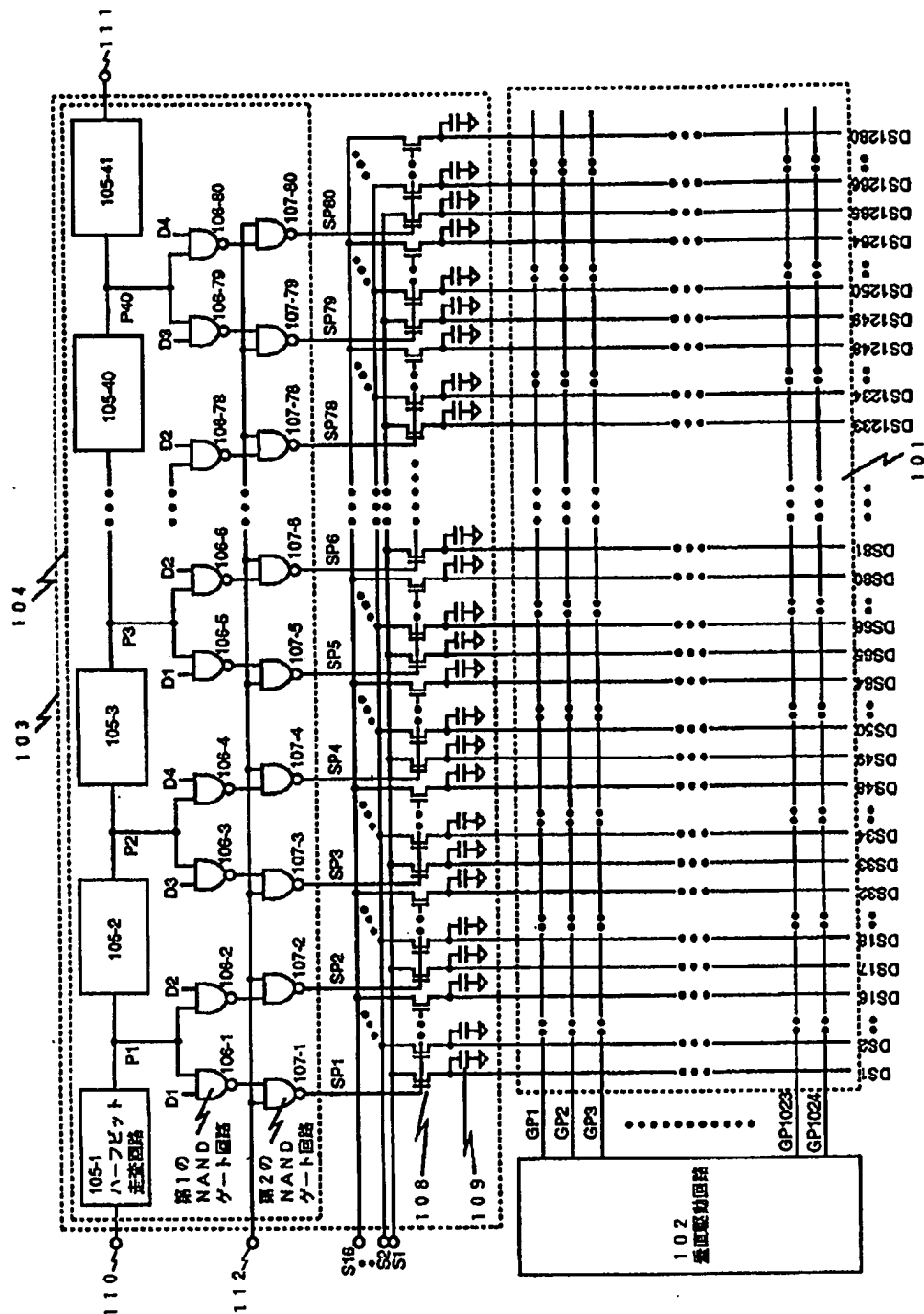
【図2】



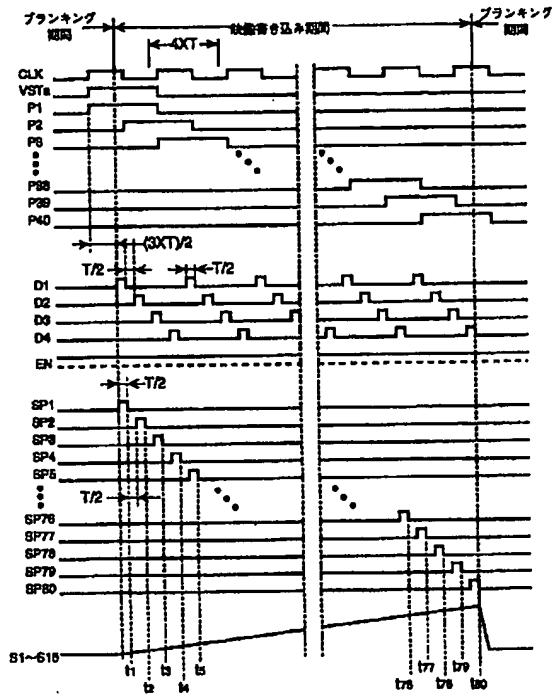
【図3】



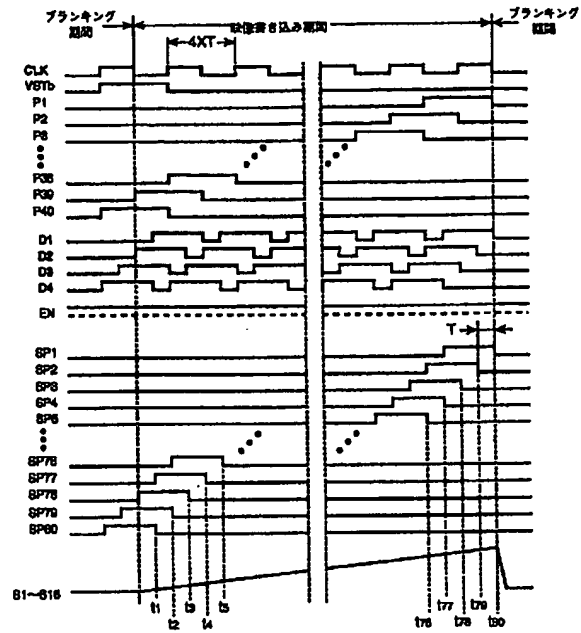
【図 1】



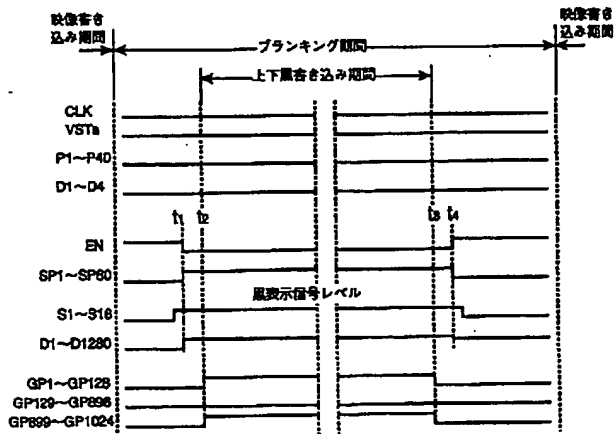
【図 4】



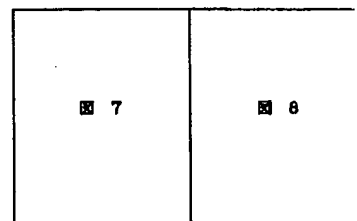
【図 5】



【図 6】

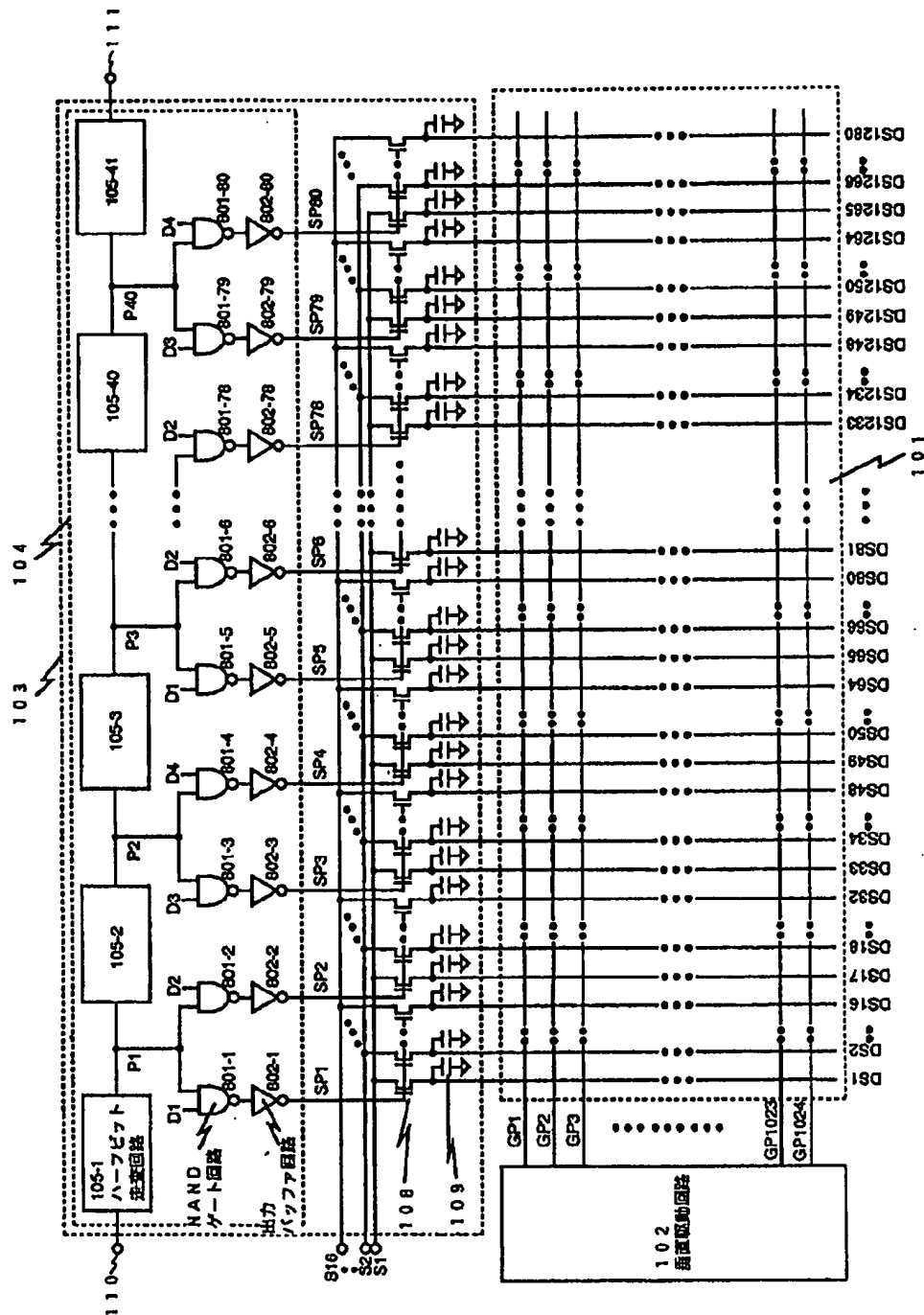


【図 9】

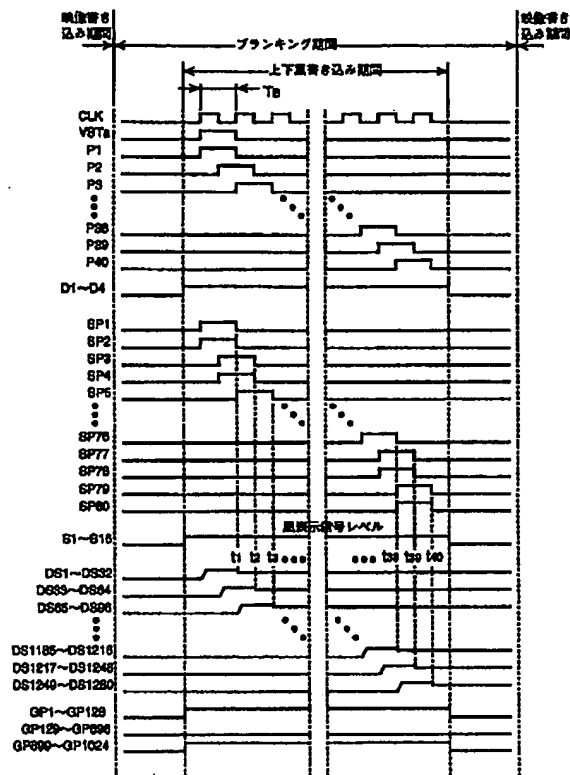


The diagram illustrates the timing of various signals during horizontal blanking and image pickup periods. The signals shown are CLK, VSTa, P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P35, P36, P37, P38, P39, P40, D1, D2, D3, D4, and EN. The horizontal axis represents time, with vertical dashed lines marking the boundaries of the horizontal blanking and image pickup periods. The signals are shown as digital waveforms, with some signals (P1-P4, P5-P8, P9-P10, P35-P40, D1-D4) having specific timing requirements relative to the blanking and pickup periods. The diagram is divided into two main sections: '水平ブランキング' (Horizontal Blanking) on the left and '映像書き込み期間' (Image Pickup Period) on the right. The horizontal blanking period is further divided into '左書き込み' (Left Write) and '右書き込み' (Right Write) intervals. The image pickup period is divided into '左書き込み' (Left Write) and '右書き込み' (Right Write) intervals. The signals are shown as digital waveforms, with some signals (P1-P4, P5-P8, P9-P10, P35-P40, D1-D4) having specific timing requirements relative to the blanking and pickup periods. The diagram is divided into two main sections: '水平ブランキング' (Horizontal Blanking) on the left and '映像書き込み期間' (Image Pickup Period) on the right. The horizontal blanking period is further divided into '左書き込み' (Left Write) and '右書き込み' (Right Write) intervals. The image pickup period is divided into '左書き込み' (Left Write) and '右書き込み' (Right Write) intervals. The signals are shown as digital waveforms, with some signals (P1-P4, P5-P8, P9-P10, P35-P40, D1-D4) having specific timing requirements relative to the blanking and pickup periods.

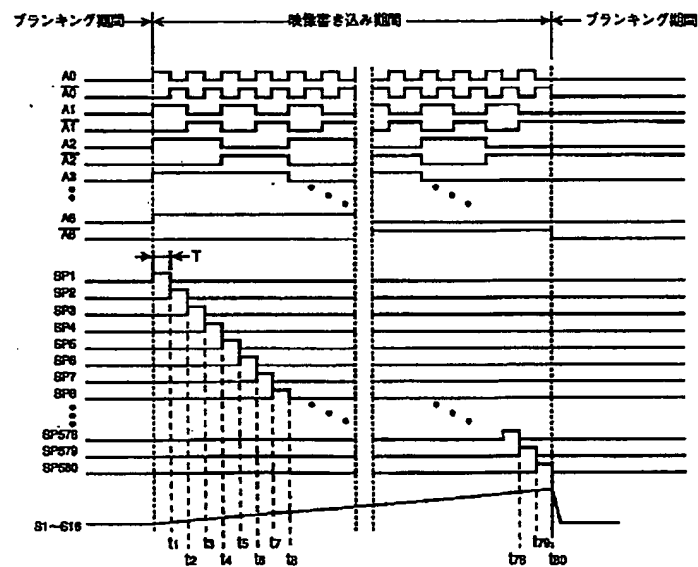
【図10】



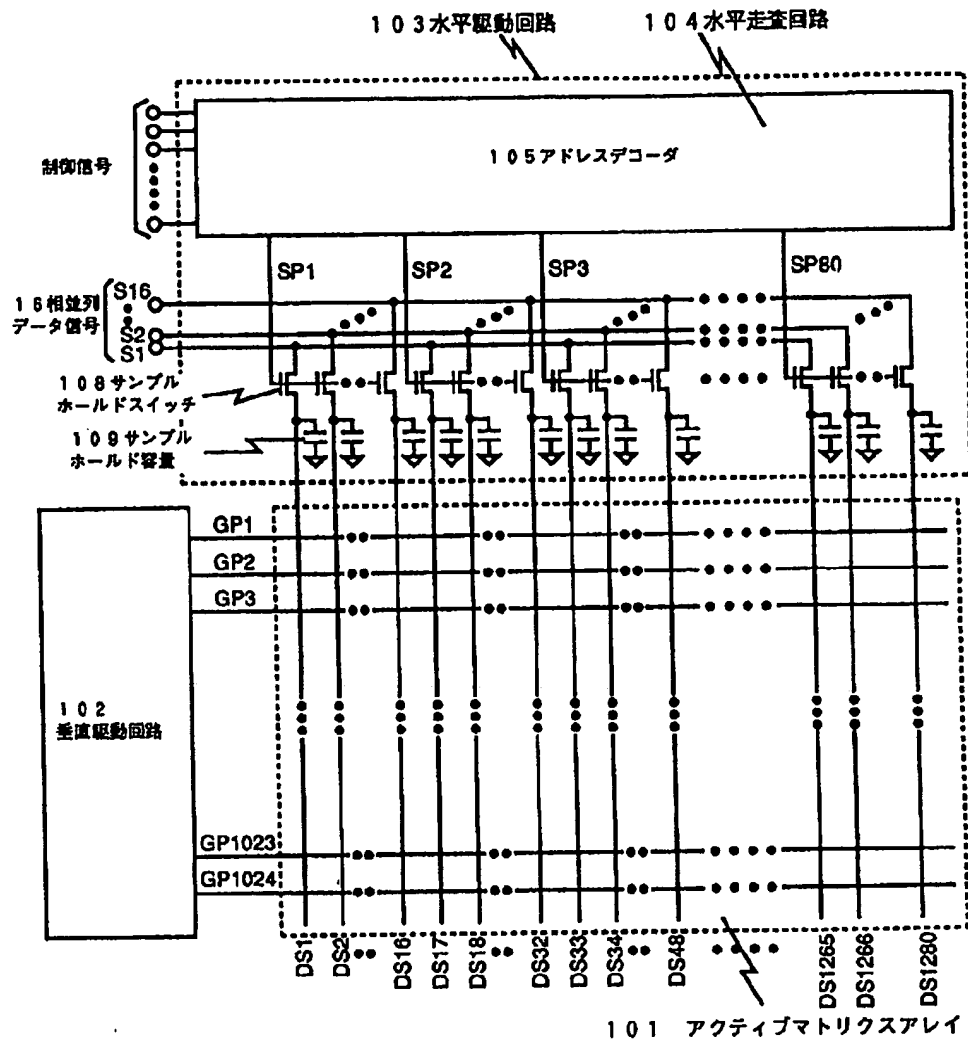
【図 11】



【図 13】



【図12】



拒絶理由通知書

特許出願の番号	特願2006-167246
起案日	平成18年11月21日
特許庁審査官	西島 篤宏 9308 2G00
特許出願人代理人	井上 一 (外 3名) 様
適用条文	第29条第2項、第29条の2

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願の日前の特許出願であって、その出願後に特許掲載公報の発行又は出願公開がされた下記の特許出願の願書に最初に添付された明細書、特許請求の範囲又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同じではなく、またこの出願の時に於いて、その出願人が上記特許出願の出願人と同一でもないので、特許法第29条の2の規定により、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において頒布された下記の特許出願に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

理由 1

- ・請求項 1-3, 6-7
- ・特許出願 A. 特願平6-263754号 (特開平8-122748号)

(備考)

上記特許出願Aには、複数の出力イネーブル線と、該線に接続されてなるナンドゲートとを有してなる駆動回路に関する発明が記載されている。してみると、上記請求項に係る発明と上記特許出願Aに記載された発明とは、実質的に同一であると認められる。よって、上記請求項に係る発明は、上記理由1により特許性を有していない。

理由 2

- ・請求項 1-9
- ・刊行物 B. 特開平01-142796号公報

(備考)

上記刊行物Bに記載された発明では、ゲート回路としてアンドゲートを用いるような構成である点で、上記請求項に係る発明と相違している。しかし、ゲート回路として、アンドゲートを用いるかナンドゲートを用いるかは、正論理で動作させるか、負論理で動作させるかの単なる設計的な事項にすぎない。

また、ラッチ回路やD/Aコンバータなどを有してなる駆動回路は、具体的な刊行物を挙げるまでもなく周知のものにすぎない。

よって、上記請求項に係る発明は、上記理由2により特許性を有していない。

先行技術文献調査結果の記録

- ・調査した分野 I P C
 - ・G09G 3/00-3/38
 - ・G02F 1/133 505-580
- ・先行技術文献
 - ・特開平05-127627号公報
 - ・特開平05-281928号公報
 - ・特開平02-082295号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書の内容に問い合わせがある場合、又は、この案件について
面接を希望する場合は、特許審査第1部ナノ物理、西島篤宏までご連絡下さい。
(Tel. 03-3581-1101 (ex. 3225) Fax. 03-3592-8858)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-122748
(43)Date of publication of application : 17.05.1996

(51)Int.Cl. G02F 1/133
G09G 3/36
H04N 5/66

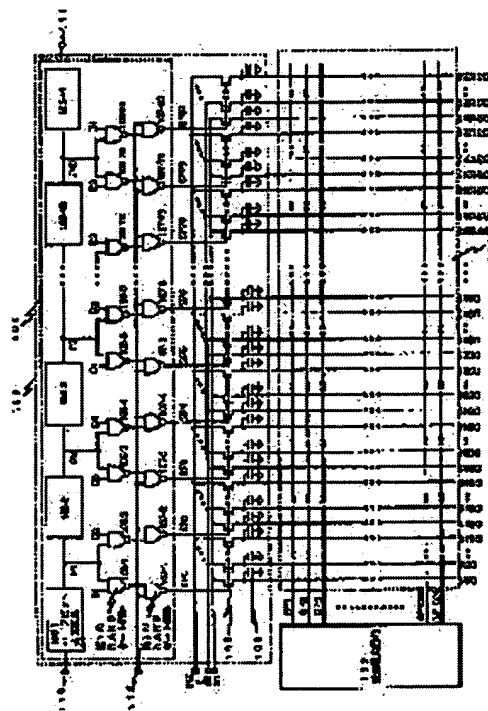
(21)Application number : 06-263754 (71)Applicant : NEC CORP
(22)Date of filing : 27.10.1994 (72)Inventor : ASADA HIDEKI
OZAWA KAZUNORI
FUKUMORI HIROYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To attain the miniaturization and cost reduction of a liquid crystal display device in accordance with a personal computer, a work station and a television with different kinds of scanning systems and picture elements, etc.

CONSTITUTION: This liquid crystal display device is equipped with a horizontal driving circuit 103 consisting of a scanning circuit 104 of half bit constitution, a first NAND gate circuit 105 controlled by the output signal and control signal of the circuit 104, a second NAND gate circuit 107 controlled by the output signal and enable signal of the first NAND gate circuit, and a sample-and-hold switch 108 controlled by the output signal of the second NAND gate circuit. The output of the scanning circuit is connected to two NAND gate circuits, and also, different control signals for four adjacent NAND gate circuits are provided.



LEGAL STATUS

[Date of request for examination] 27.10.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2625390

[Date of registration] 11.04.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at the intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives said scanning line, and a level drive circuit which drives said signal line N stage (N is positive integer) scanning circuit where a clock signal carries out a half period [every] sequential shift, and said level drive circuit outputs a pulse signal, Common connection of each 1st control terminal is made at every M piece (M is two or more integers). The 1st logic-gate circuit of an individual (NxM) where the control terminal by which common connection was made was connected to the output terminal of N individual of said scanning circuit, respectively, and common connection of each 2nd control terminal was made every individual (2xM-1), The 2nd logic-gate circuit of an individual (NxM) where the 1st control terminal was connected to the output terminal of said 1st logic-gate circuit, and common connection of the 2nd control terminal was made, The liquid crystal display characterized by consisting of sample hold switches of an individual (NxM) with which common connection of the control terminal was made at every J piece (J is a positive integer), the control terminal was connected to the output terminal of said 2nd logic-gate circuit, and common connection of the input terminal was made every individual (J-1).

[Claim 2] When the sampling period of the video signal inputted into a liquid crystal display is set to T in the approach of driving a liquid crystal display according to claim 1, The clock signal whose period is (2xMxT) is inputted into said scanning circuit. Pulse width is larger than 0 (M+1) (xT), and a pulse period hereafter (2xMxT), The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual in which the phase carried out the sequential shift every [T] For the 2nd control terminal D1, D2, D3, ..., D (2xM) of the 1st logic-gate circuit of the aforementioned (NxM) individual The drive approach of the liquid crystal display characterized by inputting in order, respectively, and for the output of said 1st logic-gate circuit inputting into the 2nd control terminal of said 2nd logic-gate circuit the signal reflected in the output of said 2nd logic-gate circuit, and driving.

[Claim 3] When the sampling period of the video signal inputted into a liquid crystal display is set to T in the approach of driving a liquid crystal display according to claim 1, The clock signal whose period is (2xMxT) is inputted into said scanning circuit. Pulse width is larger than 0 (M+1) (xT), and a pulse period hereafter (2xMxT), The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual in which the phase carried out the sequential shift every [T] For the 2nd control terminal D1, D2, D3, ..., D (2xM) of the 1st logic-gate circuit of the aforementioned (NxM) individual The drive approach of the liquid crystal display characterized by inputting into respectively reverse sequence, and for the output of said 1st logic-gate circuit inputting into the 2nd control terminal of said 2nd logic-gate circuit the signal reflected in the output of said 2nd logic-gate circuit, and driving.

[Claim 4] The drive approach of a liquid crystal display that the output of said 1st logic-gate circuit is characterized by inputting into the 2nd control terminal of said 2nd logic-gate circuit the signal which is not reflected in the output of said 2nd logic-gate circuit, and inputting the signal level equivalent to a black display into J input terminals of said sample hold switch in a perpendicular blanking period in the

approach of driving a liquid crystal display according to claim 1.

[Claim 5] In the approach of driving a liquid crystal display according to claim 1, it sets at a level blanking period. The frequency of the clock signal inputted into said scanning circuit is modulated in a frequency higher than during an image write-in period. Transmit a pulse signal and the output of said scanning circuit the signal reflected in the output of said 1st logic-gate circuit during the transfer period. It inputs into the 2nd control terminal of said 1st logic-gate circuit. The output of said 1st logic-gate circuit. The drive approach of the liquid crystal display characterized by inputting into J input terminals of said sample hold switch the signal level which inputs into the 2nd control terminal of said 2nd logic-gate circuit the signal reflected in the output of said 2nd logic-gate circuit, and is equivalent to a black display, and driving it.

[Claim 6] In the liquid crystal display which consists of the active-matrix array by which the switching element has been arranged at the intersection of two or more scanning lines and two or more signal lines, a vertical-drive circuit which drives said scanning line, and a level drive circuit which drives said signal line N stage (N is positive integer) scanning circuit where a clock signal carries out a half period [every] sequential shift, and said level drive circuit outputs a pulse signal, Common connection of each 1st control terminal is made at every M piece (M is two or more integers). The logic-gate circuit of an individual (NxM) where the control terminal by which common connection was made was connected to the output terminal of N individual of said scanning circuit, respectively, and common connection of each 2nd control terminal was made every individual (2xM-1), The output-buffer circuit which makes an input signal the output signal of said logic-gate circuit, The liquid crystal display characterized by consisting of sample hold switches of an individual (NxM) with which common connection of the control terminal was made at every J piece (J is a positive integer), the control terminal was connected to the output terminal of said output-buffer circuit, and common connection of the input terminal was made every individual (J-1).

[Claim 7] The drive approach of a liquid crystal display that the clock signal of a predetermined period is inputted into said scanning circuit, and the output of said scanning circuit is characterized by to input into J input terminals of said sample-hold switch the signal level which inputs into the 2nd control terminal of said logic-gate circuit the signal reflected in the output of said logic-gate circuit, and is equivalent to a black display, and to drive it in a perpendicular blanking period in the approach of driving a liquid crystal display according to claim 6.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active matrix liquid crystal display used for a display, a projector, television, etc., and its drive approach.

[0002]

[Description of the Prior Art] The liquid crystal display which can be equivalent to various personal computers (it is hereafter described as PC) with which a picture frequency and the number of pixels differ from a scanning mode, a workstation (it is hereafter described as WS), television, etc. is increasingly required towards multimedia age.

[0003] In order to correspond to various sources, such as PC, WS, and television, it is necessary to hold various scanning modes, such as a progressive broadcasting method, an interlace drive, and a two-line coincidence drive, by one set of a liquid crystal display. Moreover, a liquid crystal display which can carry out the enlarged display of the image of the number of pixels smaller than the number of pixels which a liquid crystal display has freely is desired. These are mainly realized by devising the configuration of the vertical-drive circuit of a liquid crystal display, and the drive approach.

[0004] Furthermore, in displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has, in order to make the black display the pixel of the upper and lower sides in which it remained outside the liquid crystal display field, or right and left, it is necessary to perform the black display writing of the pixel during a blanking period.

[0005] In recent years, it is necessary to carry out [in the liquid crystal projector to which spread is progressing as a big screen display and a display for presentations] mirroring of the image about one panel among the liquid crystal displays of three sheets corresponding to red, green, and blue from the difference between reflection and the count of bending of the light which passed the liquid crystal display. Furthermore, the flexible liquid crystal display which can respond to front projection, rear projection, every floor, and ***** is called for with one liquid crystal projector equipment. For this reason, it is required that both the scanning circuits that constitute a vertical-drive circuit and a level drive circuit can be scanned bidirectionally.

[0006] A liquid crystal display which can include all of a scanning mode which was explained above, an enlarged display, migration, black display writing, and a bidirectional scan is strongly desired as a liquid crystal display of multimedia age by which it comes. Hereafter, such a liquid crystal display is described as a multi-sink liquid crystal display.

[0007] On the other hand, the miniaturization of a liquid crystal display and low cost-ization are aimed at, and development of the technique of integrating a circumference drive circuit is progressing on the same substrate as a liquid crystal display. A circumference drive circuit is divided into the vertical-drive circuit which scans the gate of the thin film transistor which forms a active-matrix array, and the level drive circuit which supplies a picture signal to a pixel.

[0008] With the specific scanning mode, when displaying the image of the specific number of pixels, the shift register circuit is used as a scanning circuit used for a level drive circuit. However, when a shift

register circuit is used, it is difficult to realize the multi-sink liquid crystal display which could not perform the upper and lower sides and black display writing on either side, but was previously described during the perpendicular and the level blanking period from the limitation of circuit speed, and the limitation of the write-in frequency of a data signal, respectively.

[0009] The address decoder is used for the scanning circuit for level drive circuits of current and a multi-sink liquid crystal display. Drawing 12 is drawing which used the address decoder for the horizontal scanning circuit 104 of the level drive circuit 103 and in which showing the configuration of the conventional liquid crystal display. As shown in drawing, the liquid crystal display consists of a active-matrix array 101 which displays an image, a vertical-drive circuit 102, and a level drive circuit 103. The control signal for choosing the sample hold switch 108 is inputted into the address decoder 105 two or more. The selected sample hold switch writes the data signal by which polyphase expansion was carried out in a data bus line for every block. Here, the case where the video signals S1-S16 by which 16 phase expansion was carried out are supplied is shown. The written-in data are usually held in the output side of the sample hold switch 108, and the sample hold capacity 109 for writing the held data in a pixel electrode is installed in it.

[0010] Drawing 13 is drawing showing an example of the conventional drive approach of a liquid crystal display which used the address decoder for the scanning circuit for level drive circuits. Here, a vertical-drive circuit shall be a circuit corresponding to a multi-sink liquid crystal display. Moreover, the number of signal lines is made into 1280, and the number of control signals becomes $A_0/1, \dots, 14$ of A_6/A_6 in that case. [A_0 (/ expresses the reversal to logical level), A_1/A_1] As shown in drawing, in the image write-in period, the clock signal is inputted into a control signal $A_0/1, \dots, A_6/A_6$, and the clock period (i is the integers from 1 to 5) of $A(i+1)$ is twice the clock period of A_i . [$A_0, A_1/A_1$] By inputting such a control signal, the sampling pulse signals SP1, SP2, ..., SP80 which scan the control line of a sample hold switch sequentially can be acquired. Consequently, a video signal can be sampled in order to the timing of time of day $t_1, t_2, t_3, \dots, t_{80}$, and it can write in a data bus line.

[0011] If an address decoder is used, the control line of the sample hold switch of arbitration can be chosen as 1 or two or more coincidence with the combination of the logical level of a control signal. Therefore, in the vertical black write-in period in a perpendicular blanking period, all the control lines of a sample hold switch can be chosen, and the sufficiently long time amount of up-and-down black display writing can be taken. Moreover, the sample hold switch corresponding to a black viewing area on either side can also be chosen as coincidence, and the sufficiently long time amount of black writing on either side can also be taken [be / it / under / level blanking period / setting]. The address decoder is used for the scanning circuit for level drive circuits of a multi-sink liquid crystal display for these reasons.

[0012]

[Problem(s) to be Solved by the Invention] As shown in drawing 12, the address decoder is used for the conventional multi-sink liquid crystal display in the scanning circuit for level drive circuits. However, since the number of the control lines increases with increase of the number of signal lines, and reduction of the number of video-signal expansions in the case of an address decoder, problems, such as that a liquid crystal display module becomes large and becoming cost quantity, arise. For example, when the video signal the number of signal lines carried out [the video signal] 16 phase expansion by 1280 is inputted, 14 control terminals are needed. When the video signal by which 8 phase expansion was carried out is inputted at least 1280 with the still more nearly same number of signal lines, 16 control terminals are needed.

[0013] Moreover, an address decoder has many control signals in this way, and it also has the problem of being easy to generate a noise in an output signal by the noise between control signals, or gap of timing in order to choose the address with the combination of the logical level of a control signal.

[0014] On the other hand, although the number of a clock signal terminal required of the liquid crystal display which used the shift register for the scanning circuit for level drive circuits since a shift register is driven, and input signal terminals ends regardless of the number of the scanning lines about three in all, as stated previously, it cannot respond to a multi-sink liquid crystal display from the limitation of

circuit speed, and the limitation of a data signal write-in frequency with a shift register.

[0015] The purpose of this invention is to offer small [which can reduce sharply the number of the control signal terminals for driving the scanning circuit for level drive circuits compared with an address decoder and a noise does not generate in an output signal], and the multi-sink liquid crystal display and its drive approach of low cost, in order to solve the above-mentioned trouble.

[0016]

[Means for Solving the Problem] The active-matrix array by which the switching element has been arranged at the intersection with the signal line of two or more scanning lines and plurality, [invention / 1st] In the liquid crystal display which consists of a vertical-drive circuit which drives said scanning line, and a level drive circuit which drives said signal line N stage (N is positive integer) scanning circuit where a clock signal carries out a half period [every] sequential shift, and said level drive circuit outputs a pulse signal, Common connection of each 1st control terminal is made at every M piece (M is two or more integers). The 1st logic-gate circuit of an individual (NxM) where the control terminal by which common connection was made was connected to the output terminal of N individual of said scanning circuit, respectively, and common connection of each 2nd control terminal was made every individual (2xM-1), The 2nd logic-gate circuit of an individual (NxM) where the 1st control terminal was connected to the output terminal of said 1st logic-gate circuit, and common connection of the 2nd control terminal was made, Common connection of the control terminal is made at every J piece (J is a positive integer), the control terminal is connected to the output terminal of said 2nd logic-gate circuit, and the input terminal is characterized by consisting of sample hold switches of an individual (NxM) by which common connection was made every individual (J-1).

[0017] The liquid crystal display of the 2nd invention is characterized by said 1st and 2nd logic-gate circuits being 2 input NAND circuits in the 1st invention.

[0018] The liquid crystal display of the 3rd invention is characterized by equipping said scanning circuit with a means to shift a pulse signal bidirectionally in the 1st invention.

[0019] The 4th invention is set to the drive approach of the 1st, 2nd, or 3rd liquid crystal display. When the sampling period of the video signal inputted into a liquid crystal display is set to T, The clock signal whose period is (2xMxT) is inputted into said scanning circuit. Pulse width is larger than 0 (M+1) (xT), and a pulse period hereafter (2xMxT), The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual in which the phase carried out the sequential shift every [T] For the 2nd control terminal D1, D2, D3, ..., D (2xM) of the 1st logic-gate circuit of the aforementioned (NxM) individual It is characterized by inputting in order, respectively, and for the output of said 1st logic-gate circuit inputting into the 2nd control terminal of said 2nd logic-gate circuit the signal reflected in the output of said 2nd logic-gate circuit, and driving.

[0020] When the 5th invention sets to T the sampling period of the video signal inputted into a liquid crystal display in the drive approach of the liquid crystal display the 3rd invention, The clock signal whose period is (2xMxT) is inputted into said scanning circuit. Pulse width is larger than 0 (M+1) (xT), and a pulse period hereafter (2xMxT), The pulse signals A1, A2, ..., A (2xM) of a different (2xM) individual in which the phase carried out the sequential shift every [T] For the 2nd control terminal D1, D2, D3, ..., D (2xM) of the 1st logic-gate circuit of the aforementioned (NxM) individual It is characterized by inputting into respectively reverse sequence, and for the output of said 1st logic-gate circuit inputting into the 2nd control terminal of said 2nd logic-gate circuit the signal reflected in the output of said 2nd logic-gate circuit, and driving.

[0021] The 6th invention is set to the 1st, the 2nd, or the drive approach of the liquid crystal display the 3rd invention. In a perpendicular blanking period the output of said 2nd logic-gate circuit It is characterized by inputting into the 2nd control terminal of said 2nd logic-gate circuit the signal which is not reflected in the output of said 1st logic-gate circuit, and inputting the signal level equivalent to a black display into J input terminals of said sample hold switch.

[0022] The 7th invention is set to the 1st, the 2nd, or the drive approach of the liquid crystal display the 3rd invention. In a level blanking period, the frequency of the clock signal inputted into said scanning circuit is modulated in a frequency higher than during an image write-in period. Transmit a pulse signal

and the output of said scanning circuit the signal reflected in the output of said 1st logic-gate circuit during the transfer period It inputs into the 2nd control terminal of said 1st logic-gate circuit. The output of said 1st logic-gate circuit The signal reflected in the output of said 2nd logic-gate circuit is inputted into the 2nd control terminal of said 2nd logic-gate circuit, and it is characterized by inputting the signal level equivalent to a black display into J input terminals of said sample hold switch, and driving it.

[0023] The active-matrix array by which the switching element has been arranged at the intersection with the signal line of two or more scanning lines and plurality, [invention / 8th] In the liquid crystal display which consists of a vertical-drive circuit which drives said scanning line, and a level drive circuit which drives said signal line N stage (N is positive integer) scanning circuit where a clock signal carries out a half period [every] sequential shift, and said level drive circuit outputs a pulse signal, Common connection of each 1st control terminal is made at every M piece (M is two or more integers). The 2nd logic-gate circuit of an individual (NxM) where the control terminal by which common connection was made was connected to the output terminal of N individual of said scanning circuit, respectively, and common connection of each 2nd control terminal was made every individual (2xM-1), The output-buffer circuit which makes an input signal the output signal of said logic-gate circuit, Common connection of the control terminal is made at every J piece (J is a positive integer), the control terminal is connected to the output terminal of said output-buffer circuit, and the input terminal is characterized by consisting of sample hold switches of an individual (NxM) by which common connection was made every individual (J-1).

[0024] The 9th invention is set in the drive approach of the 8th liquid crystal display at a perpendicular blanking period. The clock signal of a predetermined period is inputted into said scanning circuit. The output of said scanning circuit The signal reflected in the output of said logic-gate circuit is inputted into the 2nd control terminal of said logic-gate circuit, and it is characterized by inputting the signal level equivalent to a black display into J input terminals of said sample hold switch, and driving it.

[0025]

[Example] Below, the liquid crystal display of this invention and the example of the drive approach are explained at a detail.

[0026] Drawing 1 is drawing showing the 1st example of the liquid crystal display of this invention. The liquid crystal display consists of a active-matrix array 101 constituted by arranging a thin film transistor at the intersection of the scanning line and a signal line, a vertical-drive circuit 102 which drives the scanning line, and a level drive circuit 103 which drives a signal line. The level drive circuit 103 consists of sample hold switches 108 which make a control signal the output signal of the horizontal scanning circuit 104 and its horizontal scanning circuit 104, as shown in drawing. Under the present circumstances, common connection of the control terminal of the sample hold switch 108 is made at a time in 16 pieces, and, on the other hand, common connection of that input terminal is made every 15 pieces. 16 video signals are written in at a time in order through 16 sample hold switches by which sequential selection was made by inputting S16 into each input terminal from the video signal S1 by which 16 phase expansion was carried out. The sample hold capacity 109 is the retention volume for holding the video signal written in the data bus line, and writing the held electrical potential difference in a pixel.

[0027] The case where make the number of signal lines into 1280, and the video signal which carried out 16 phase expansion is inputted is shown by this example. In this case, as shown in drawing, the 80-bit horizontal scanning circuit 104 is needed.

[0028] The horizontal scanning circuit 104 of the liquid crystal display of this example The 40-step scanning circuit 105-1 to 105-41 of the half bit pattern which carries out the sequential shift of the pulse signal inputted from the input terminal a110 or the input terminal b111 synchronizing with a clock signal as shown in drawing, Each output signals P1, P2, ..., P40 of the half bit pattern scanning circuit 105-1 to 105-41, The 1st NAND gate circuit 106-1 to 106-80 which makes an input signal control signals D1, D2, D3, and D4, It consists of 2nd NAND gate 107-1 to 107-80 which makes an input signal each output signal of the 1st NAND gate circuit, and the common enable signal EN from an input terminal 112. To each output of the half bit pattern scanning circuit 105-1 to 105-41, the 1st two NAND

gate circuit is connected and it has been the description that all of the control signal of four adjoining NAND gate circuits differ.

[0029] Moreover, the scanning circuit 105-1 to 105-41 of a half bit pattern has composition in which a bidirectional scan is possible. When scanning to an one direction, when scanning to hard flow, a pulse signal is inputted from an input terminal b111 from an input terminal a110.

[0030] The circuit driven with the clock signal of two phases is used for the half bit pattern scanning circuit 105-1 to 105-41. Therefore, the number of driving signals required to drive the half bit pattern scanning circuit 105-1 to 105-41 becomes a total of four of two clock signals and two input signals also including the pulse signal inputted input terminal 111, when scanning to hard flow. Furthermore, the control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80 and the enable signal EN of the 2nd NAND gate circuit are added, and the number of the driving signals inputted into the horizontal scanning circuit 104 has become a total of nine pieces. The number of these driving signals does not change, when the number of signal lines exceeds 1280, or even when the number of phase expansions of a video signal becomes small.

[0031] On the other hand, when the address decoder used conventionally is applied to a horizontal scanning circuit, as stated previously, the number of control signals becomes 14 pieces. That is, in the liquid crystal display of this example, the number of the driving signal terminals of a horizontal scanning circuit is 9/14 [conventional]. Moreover, when the number of phase expansions of a video signal is set to 8, the number of the control signals of an address decoder becomes 16 pieces as stated previously, and the number of the driving signal terminals of the horizontal scanning circuit of this example becomes 9/16 [conventional].

[0032] Although it has the composition of making the number of stages of a half bit pattern scanning circuit into 40 steps, and inputting each of that output into the 1st two NAND gate circuit, in this example, each of that output may be carried out to the configuration inputted into the 1st four NAND gate circuit, using the number of stages of a half bit pattern scanning circuit as 20 steps.

[0033] Moreover, in this example, as 1st and 2nd logic-gate circuit, although the NAND gate circuit is used, you may transpose to both NOR-gate circuits. In that case, it is necessary to input [output signals / P1-P40 / of the half bit pattern scanning circuit 105-1 to 105-41 in this example] a signal with opposite logical level into the 2nd NOR-gate circuit in the enable signal EN which inputs a signal with opposite logical level into the 1st NOR-gate circuit, and inputs it into the 2nd NAND gate circuit in this example. Furthermore, it is necessary to prepare the output-buffer circuit which reverses the output of the 2nd NOR-gate circuit.

[0034] Drawing 2 is drawing showing the 1st example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach for writing a video signal in a data bus line using the liquid crystal display shown in drawing 1. Hereafter, the drive approach is explained using drawing 2.

[0035] First, the clock signal CLK of a clock period (T ($4xT$) is the sampling period of a sample hold switch) and the pulse width from an input terminal a110 input to the timing which shows the input pulse signal VSTa of ($4xT$) at drawing 2, synchronize the input pulse signal to a clock signal, and carry out a sequential shift in the half bit pattern scanning circuit 105-1 to 105-41. Thereby, as each output signals P1-P40 of the half bit pattern scanning circuit 105-1 to 105-40, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every ($2xT$) sequential shift by ($4xT$) is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, pulse width inputs to the timing ($3xT$) and a pulse period indicate the pulse signal in which ($4xT$) and a phase carried out the sequential shift every [T] to be to drawing 2 as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. Moreover, a signal with high-level logical level is inputted as an enable signal EN of the 2nd NAND gate circuit 107-1 to 107-80. Consequently, the sampling pulse signal ($3xT$) and a phase carried out [the signal / pulse width] the sequential shift every [T] is acquired as output signals SP1-SP80 of the 2nd NAND gate circuit. As shown in drawing, the sample hold switch chosen by the sampling pulse signal is the timing t1, t2, t3, ..., t80 to which a sampling pulse falls,

samples 16 phase parallel data signals S1-S16, and writes a video signal in a data bus line.

[0036] As it explained above, a video signal can be written in a data bus line.

[0037] Drawing 3 is drawing showing the 2nd example of the drive approach of the liquid crystal display of this invention. Although this example shows an example of the drive approach for writing a video signal in a data bus line like the 1st example shown in drawing 2, it can raise sampling precision rather than the 1st example by the approach described below.

[0038] First, it inputs to the timing the clock signal (T is the sampling period of the switch of sample hold) CLK of $(4 \times T)$ and the pulse width from an input terminal a110 indicate the input pulse signal VSTa of $(4 \times T)$ to be to drawing 3, and a clock period synchronizes the half bit pattern scanning circuit 105-1 to 105-41 with a clock signal, and carries out the shifter of the input pulse signal to it one by one. Thereby, as each output signals P1-P40 of the half bit pattern scanning circuit 105-1 to 105-40, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every $(2 \times T)$ sequential shift by $(4 \times T)$ is outputted. The drive approach so far is completely the same as that of the 1st example.

[0039] On the other hand, pulse width inputs to the timing to which $((5/2) \times T)$ and a pulse period show in drawing the pulse signal in which $(4 \times T)$ and a phase carried out the sequential shift every [T] as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. That is, it inputs to the falling time of day of the control pulse signal D1 to the timing which delayed the standup time of day of the control pulse signal D4 only $(T/2)$. Moreover, a signal with high-level logical level is inputted as an enable signal EN of the 2nd NAND gate circuit 107-1 to 107-80. Consequently, the sampling pulse signal $((5/2) \times T)$ and a phase carried out [the signal / pulse width] the sequential shift every [T] is acquired as output signals SP1-SP80 of the 2nd NAND gate circuit. As shown in drawing, the sample hold switch chosen by the sampling pulse signal is the timing t1, t2, t3, ..., t80 to which a sampling pulse falls, samples 16 phase parallel data signals S1-S16, and writes a video signal in a data bus line.

[0040] As the difference from the 1st example is shown in drawing 3 in this example to the timing by which a video signal is sampled, and the timing to which other sampling pulse signals start being in agreement as the 1st example is shown in drawing 2, in the timing by which a video signal is sampled, other sampling pulse signals are fixed points. Generally, in the standup time of day of a sampling pulse signal, and falling time of day, it is easy to generate a noise in the video signal inputted. Therefore, since the video signal containing a noise will be sampled like the 1st example when sampling time and the standup time of day of other sampling pulse signals are in agreement, sampling precision worsens. On the other hand, like the 2nd example, when sampling time and the standup time of day of other sampling pulse signals are shifted, since noise mixing from other sampling pulse signals is lost, it can raise sampling precision rather than the 1st example.

[0041] As it explained above, a video signal can be written in a data bus line in a precision higher than the 1st example shown in drawing 2.

[0042] Drawing 4 is drawing showing the 3rd example of the drive approach of the liquid crystal display of this invention. Although this example shows an example of the drive approach for writing a video signal in a data bus line like the 1st and 2nd example shown in drawing 2 and drawing 3, it can raise sampling precision rather than the 1st and 2nd example by the approach described below.

[0043] First, a clock period inputs to the timing the clock signal (T is the sample period of a sampling hold switch) CLK of $(4 \times T)$ and the pulse width from an input terminal a110 indicate the input pulse signal VSTa of $(4 \times T)$ to be at drawing 4, synchronizes the input pulse signal to a clock signal, and carries out a sequential shift in the half bit pattern scanning circuit 105-1 to 105-41. Thereby, as each output signals P1-P40 of the half bit pattern scanning circuit 105-1 to 105-40, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every $(2 \times T)$ sequential shift by $(4 \times T)$ is outputted. The drive approach so far is completely the same as that of the 1st and 2nd examples.

[0044] On the other hand, pulse width inputs to the timing to which $(T/2)$ and a pulse period show in drawing the pulse signal in which $(4 \times T)$ and a phase carried out the sequential shift every [T] as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. That is, it inputs to the standup time of

day of the output pulse signal P1 of a half bit pattern scanning circuit to the timing to which only $((3 \times T) / 2)$ delayed the standup time of day of the control pulse signal D1. Moreover, a signal with high-level logical level is inputted as an enable signal EN of the 2nd NAND gate circuit 107-1 to 107-80. Consequently, the sampling pulse signal $(T/2)$ and a phase carried out [the signal / pulse width] the sequential shift every [T] is acquired as output signals SP1-SP80 of the 2nd NAND gate circuit. As shown in drawing, the sample hold switch chosen by the sampling pulse signal is the timing $t_1, t_2, t_3, \dots, t_{80}$ to which a sampling pulse falls, carries out the sequential sampling of the 16 phase parallel data signals S1-S16, and writes a video signal in a data bus line.

[0045] As the difference from the 1st example is shown in drawing 4 in this example to the timing by which a video signal is sampled, and the timing to which other sampling pulse signals start being in agreement as the 1st example is shown in drawing 2, in the timing by which the video signal is sampled, other sampling pulse signals are fixed points. Therefore, sampling precision can be raised rather than the 1st example for the reason which explanation of the 2nd example explained by the way, and the same reason.

[0046] The difference from the 2nd example is the point of having lost the overlap of a sampling pulse signal completely in this example to making it shifting, making three adjoining sampling pulse signals overlapping, in the 2nd example. Thus, while the sample hold switch is turned on by driving, the noise from other sampling pulse signals can be removed completely, and it can sample in a precision higher than the 2nd example.

[0047] As it explained above, a video signal can be written in a data bus line in a precision higher than the 1st and 2nd example. However, by the drive approach of the 3rd example, since width of face of a sampling pulse is made shorter than sampling-period T, it is the effective drive approach to the case where allowances are in the sampling frequency of a sample hold switch.

[0048] Moreover, in the 3rd example, since the standup of the output pulse signal of a half bit pattern scanning circuit inputted into the 1st NAND gate circuit and the control pulse signals D1-D4 and the timing of falling are shifted, the noise produced by the cross talk and the hazard can be erased completely.

[0049] Drawing 5 is drawing showing the 4th example of the drive approach of the liquid crystal display of this invention. Although this example shows an example of the drive approach for writing a video signal in a data bus line like the 1st example of the drive approach using the liquid crystal display shown in drawing 1, it differs from the 1st example at the point which scans a active-matrix array to hard flow. Hereafter, the drive approach is explained using drawing 5.

[0050] First, a clock period inputs into the half bit pattern scanning circuit 105-1 to 105-41 to the timing which shows the input pulse signal VSTb of $(4 \times T)$ to drawing 5, and synchronizes the input pulse signal with it to a clock signal, and the clock signal (T is a scanning-line selection period) CLK of $(4 \times T)$ and the pulse width from an input terminal b111 are sequence contrary to the 1st example, and carry out a sequential shift. this shows in drawing as each output signals P1-P40 of the half bit pattern scanning circuit 105-2 to 105-41 -- as -- pulse width -- $(4 \times T)$ -- every [a phase] -- $(2 \times T)$ the pulse signal which carried out the sequential shift is outputted in reverse sequence. Since a scanning circuit drives with the clock signal of two phases, it may consider as a clock signal and may usually input the clock signal in the relation between CLK and opposition from the outside. On the other hand, pulse width inputs the pulse signal which carried out the sequential shift every [T] in the sequence that $(4 \times T)$ and a phase have reverse $(3 \times T)$ and pulse period to the timing shown in drawing as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. Moreover, a signal with high-level logical level is inputted as an enable signal EN of the 2nd NAND gate circuit 107-1 to 107-80. consequently -- as the output signals SP1-SP80 of the 2nd NAND gate circuit -- pulse width -- $(3 \times T)$ and a phase -- every [T] -- the sampling pulse signal which carried out the sequential shift is acquired in reverse sequence. As shown in drawing, the sample hold switch chosen by the sampling pulse signal is the timing $t_1, t_2, t_3, \dots, t_{80}$ to which a sampling pulse falls, samples 16 phase parallel data signals S1-S16, and writes a video signal in a data bus line.

[0051] As it explained above, it is the direction of right-and-left reverse in the 1st example 1, and a

video signal can be written in a data bus line. That is, right-and-left reversal can be carried out and an image can be displayed.

[0052] Drawing 6 is drawing showing the 5th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach which carries out the black display writing of the pixel field of the upper and lower sides which remained during the perpendicular blanking period, when displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has using the liquid crystal display shown in drawing 1. Here, the case where the black display writing of each upper and lower sides of every 128 lines is carried out is shown. Hereafter, the drive approach is explained using drawing 6.

[0053] First, the input signal VSTa from clock signal CLK and an input terminal a110 inputted into the half bit pattern scanning circuit 105-1 to 105-41 during a perpendicular blanking period is made low-level regularly. Under the present circumstances, the data of a pulse signal shall not be held but shall be altogether swept out by the half bit pattern scanning circuit 105-1 to 105-41. Thereby, the output signals P1-P40 of the half bit pattern scanning circuit 105-1 to 105-40 turn into a signal of low-level regularity, as shown in drawing. On the other hand, logical level inputs the signal of low-level regularity as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. Moreover, as shown in drawing, in the time of day of t1, the logical level of the enable signal EN of the 2nd NAND gate circuit 107-1 to 107-80 is switched to a low level from high level. Then, in the time of day of t4, the logical level of the enable signal EN is switched high-level from a low level. Consequently, a signal with high-level period of t1 to t4 and logical level is outputted as output signals SP1-SP80 of the 2nd NAND gate circuit. Thereby, the period of t1 to t4 and all sample hold switches can be made into an ON state.

[0054] On the other hand, in the period of t2 to t3, the gate pulse signals GP1-GP128 of Rhine which carries out vertical black display writing, and logical level of GP899-GP1024 are made high-level. Moreover, the fixed signal of a black display is inputted as video signals S1-S16.

[0055] Thus, by driving, in the period of t2 to t3, all of 1280 sample hold switches and the pixel switch connected to each upper and lower sides of 128 lines can be made into an ON state, and the video signal for the black display inputted at this time can be written in 256-line coincidence. Under the present circumstances, the long time amount which can write a black status signal in the pixel for 256 lines enough is taken as time amount of t2 to t3 which performs vertical black writing.

[0056] Vertical black writing can be performed during a perpendicular blanking period as mentioned above.

[0057] Drawing 7 and drawing 8 (arrangement of drawing 7 and drawing 8 is shown in drawing 9) are drawings showing the 6th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach which carries out the black writing of the pixel field of the surplus right and left in a level blanking period, when displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has using the liquid crystal display shown in drawing 1. Here, the drive approach in the case of carrying out the black writing of 128 every trains of the right and left is shown. Hereafter, the drive approach is explained using drawing 7 and drawing 8.

[0058] First, during a level blanking period, a clock period inputs to the timing the clock signal (sampling period of a sample hold switch [in / in T / an image write-in period]) CLK of (2xT) and the pulse width from an input terminal a110 indicate the input pulse signal VSTa of (2xT) to be at drawing 7, synchronizes the input pulse signal to a clock signal, and carries out a sequential shift in the half bit pattern scanning circuit 105-1 to 105-41. Thereby, as each output signals P1-P4 of the half bit pattern scanning circuit 105-1 to 105-4, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the sequential shift every [T] by (2xT) is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, the signal with high-level logical level is inputted as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. Furthermore, the signal with high-level logical level is inputted as an enable signal EN of the 2nd NAND gate circuit 107-1 to 107-80. Consequently, the sampling pulse signal the phase carried out [the

signal / pulse width] the sequential shift every [T] every other piece by (2xT) is acquired as output signals SP1-SP8 of the 2nd NAND gate circuit.

[0059] In this level blanking period, by inputting the signal level of a black display as video signals S1-S16 In each time of day t1, t2, t3, and t4 when the sampling pulse signal SP 1, SP2 and SP3, SP4 and SP5, and SP6, SP7 and SP8 fall A black status signal is sampled and it is written in the data bus lines DS1-DS32, DS33-DS64, DS65-DS96, and DS97-DS128 one by one. The black display writing for left-hand side 128 train can be performed [in / as mentioned above / this level blanking period].

[0060] In the image write-in period following this level blanking period, it drives like the drive approach of the 1st example shown in drawing 2 . First, the period of a clock signal CLK is modulated from (2xT) to (4xT). Thus, by becoming irregular, the pulse signal (4xT) and a phase carried out [the pulse signal / pulse width] the every (2xT) sequential shift is obtained as an output signal of the half bit pattern scanning circuit 105-5 to 105-36. Actuation is not influenced although pulse width is (5xT) about the pulse signal P6. On the other hand, pulse width inputs to the timing to which (3xT) and a pulse period show in drawing the pulse signal in which (4xT) and a phase carried out the sequential shift every [T] as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. Moreover, a signal with high-level logical level is inputted as an enable signal EN of the 2nd NAND gate circuit 107-1 to 107-80. Consequently, the sampling pulse signal (3xT) and a phase carried out [the signal / pulse width] the sequential shift every [T] is acquired as output signals SP9-SP72 of the 2nd NAND gate circuit. The sample hold switch chosen by the sampling pulse signal is the timing to which a sampling pulse falls, samples 16 phase parallel data signals S1-S16, and writes a video signal in the data bus lines DS129-DS152.

[0061] In the level blanking period following an image write-in period, the black display writing of right-hand side 128 train is performed. First, the period of the clock signal of the half bit pattern scanning circuit 105-1 to 105-41 is modulated from (4xT) to (2xT). Thereby, as each output signals P37-P40 of the half bit pattern scanning circuit 105-37 to 105-40, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the sequential shift every [T] by (2xT) is outputted. Actuation is not influenced although pulse width is (3xT) about pulse signals P37 and P38, respectively (4xT). On the other hand, a signal with high-level logical level is inputted as control signals D1-D4 of the 1st NAND gate circuit 106-1 to 106-80. Furthermore, the signal with high-level logical level is inputted as an enable signal EN of the 2nd NAND gate circuit. Consequently, the sampling pulse signal the phase carried out [the signal / pulse width] the sequential shift every [T] every other piece by (2xT) is acquired as an output signal of the 2nd NAND gate circuit 107-1 to 107-80. however -- the sampling pulse signals SP73 and SP74, and SP75 and SP76 -- pulse width -- respectively -- it is [and / (3xT) / (4xT)]. On the other hand in this level blanking period, by inputting the signal level of a black display as video signals S1-S16 In each time of day t5, t6, t7, and t8 when the sampling pulse signal SP 73, SP74 and SP75, SP76 and SP77, and SP78, SP79 and SP80 fall A black status signal is sampled and it is written in the data bus lines DS1153-DS1184, DS1185-DS1216, DS1217-DS1248, and DS1249-DS1280 one by one. The black display writing for right-hand side 128 train can be performed [in / as mentioned above / this level blanking period].

[0062] As explained above, black display writing on either side can be performed using the liquid crystal display shown in drawing 1 .

[0063] Drawing 10 is drawing showing the 2nd example of the liquid crystal display of this invention. The difference from the liquid crystal display of the 1st example shown in drawing 1 is the point of having transposed the 2nd NAND gate circuit 107-1 to 107-80 of drawing 1 to the reversal output-buffer circuit 802-1 to 802-80. Other configurations are the same as that of the 1st example. Namely, the horizontal scanning circuit 104 of the liquid crystal display of this example The 40-step scanning circuit 105-1 to 105-41 of the half bit pattern which carries out the sequential shift of the pulse signal inputted from the input terminal 110 synchronizing with a clock signal as shown in drawing, Each output signals P1, P2, ..., P40 of the half bit pattern scanning circuit 105-1 to 105-41, It consists of a NAND gate circuit 801-1 to 801-80 which makes an input signal control signals D1, D2, D3, and D4, and a reversal output-buffer circuit 802-1 to 802-80 which makes an input signal each output signal of the NAND gate

circuit. To each output of the half bit pattern scanning circuit 105-1 to 105-41, two NAND gate circuits are connected and it has been the description that all the control signals of the NAND gate circuit of adjoining 4 configurations differ.

[0064] Moreover, the scanning circuit 105-1 to 105-41 of a half bit pattern has composition in which a bidirectional scan is possible. When scanning to hard flow, a pulse signal is inputted from an input terminal b111.

[0065] The circuit driven with the clock signal of two phases is used for the half bit pattern scanning circuit 105-1 to 105-41. Therefore, the number of driving signals required to drive the half bit pattern scanning circuit 105-1 to 105-41 becomes a total of four of two clock signals and two input signals also including the pulse signal inputted when scanning to hard flow. Furthermore, the control signals D1-D4 of the NAND gate circuit 801-1 to 801-80 are added, and the number of the driving signals inputted into the horizontal scanning circuit 104 has become a total of eight pieces. The number of these driving signals does not change, when the number of signal lines exceeds 1280, or even when the number of phase expansions of a video signal becomes small. On the other hand, when the address decoder used conventionally is applied to a horizontal scanning circuit, the number of control signals becomes 14 pieces at the appearance described previously. That is, in the liquid crystal display of this example, the number of the driving signal terminals of a horizontal scanning circuit is conventional four sevenths. Moreover, when the number of phase expansions of a video signal is set to 8, the number of the control signals of an address decoder becomes 16 pieces as stated previously, and the number of the driving signal terminals of the horizontal scanning circuit of this example serves as half [conventional].

[0066] Although it has the composition of inputting each of that output into two NAND gate circuits, using the number of stages of a half bit pattern scanning circuit as 40 steps, in this example, each of that output may be carried out to the configuration inputted into four NAND gate circuits, using the number of stages of a half bit pattern scanning circuit as 20 steps.

[0067] Moreover, in this example, as a logic-gate circuit, although the NAND gate circuit is used, you may transpose to a NOR-gate circuit. In that case, in the output signals P1-P40 of the half bit pattern scanning circuit 105-1 to 105-41 in this example, logical level needs to input an opposite signal into a NOR-gate circuit, and needs to make a reversal output-buffer circuit a normal rotation output-buffer circuit.

[0068] Drawing 11 is drawing showing the 7th example of the drive approach of the liquid crystal display of this invention. This example shows an example of the drive approach which carries out the black writing of the pixel field of the upper and lower sides which remained during the perpendicular blanking period, when displaying the image of the number of pixels smaller than the number of pixels which a liquid crystal display has using the liquid crystal display shown in drawing 10. Here, the case where the black display writing of each upper and lower sides of every 128 lines is carried out is shown. Hereafter, the drive approach is explained using drawing 11.

[0069] First, the clock signal CLK of predetermined clock period TB and the pulse width from an input terminal a110 input to the timing which shows the input pulse signal VSTa of TB at drawing 11, synchronize the input pulse signal to a clock signal, and carry out a sequential shift in the half bit pattern scanning circuit 105-1 to 105-41. Thereby, as each output signals P1-P40 of the half bit pattern scanning circuit 105-1 to 105-41, as shown in drawing, the pulse signal the phase carried out [the pulse signal / pulse width] the every (TB/2) sequential shift by TB is outputted. Since a scanning circuit is driven with the clock signal of two phases, it may usually input the clock signal in the relation between CLK and opposition from the outside as a clock signal. On the other hand, a signal with high-level logical level is inputted as control signals D1-D4 of the NAND gate circuit 801-1 to 801-80. Consequently, the sampling pulse signal the phase carried out [the signal / pulse width] the every (TB/2) sequential shift every other [TB and] piece is acquired as output signals SP1-SP80 of the output-buffer circuit 802-1 to 802-80.

[0070] In this perpendicular blanking period, by inputting the signal level of a black display as video signals S1-S16 In each time of day t1, t2, t3, ..., t40 when the sampling pulse signal SP 1, SP2 and SP3, SP4, SP5 and SP6, ..., SP79 and SP80 fall A black status signal is sampled and it is written in the data

bus lines DS1-DS32, DS33-DS64, DS65-DS96, ..., DS1249-DS1280 one by one. At this time, the gate pulse signals GP1-GP128 of Rhine which carries out vertical black display writing, and logical level of GP899-GP1024 are made high-level. Consequently, the black status signal written in the data bus line can be written in the pixel of each upper and lower sides of 128 lines.

[0071] As it explained above, up-and-down black display writing can be performed during a perpendicular blanking period using the liquid crystal display shown in drawing 10.

[0072] In this example, although pulse width of the pulse signal inputted into the half bit pattern scanning circuit 105-1 to 105-41 was set to TB, you may consider as (LxTB) (L is two or more integers). In that case, the pulse width of the sampling pulse signal outputted from an output-buffer circuit serves as (LxTB), and becomes possible [lengthening the period which writes a black status signal in a data bus line].

[0073] Moreover, the drive approach of this example is also applicable to the liquid crystal display shown in drawing 1. In that case, what is necessary is just to input the signal with high-level logical level as an enable signal of the 2nd NAND gate circuit.

[0074] The liquid crystal display of this example is accumulated on a glass substrate, and produces a polycrystalline silicon thin film transistor. Although the vertical-drive circuit and the level drive circuit were constituted from a CMOS static circuit, constituting from a CMOS dynamic circuit is also possible. Moreover, in this example, although the polycrystalline silicon thin film transistor was used, it is also possible to form by other thin film transistors which adopted the amorphous silicon, the cadmium selenium, etc. as the semi-conductor layer. Moreover, it is also possible to constitute from a single-crystal-silicon MOS transistor.

[0075]

[Effect of the Invention] If the liquid crystal display and its drive approach of this invention are applied as explained above, since the number of the controlling elements inputted into the level drive circuit of a multi-sink liquid crystal display is reducible from 9/14 to one half extent, it is very effective when attaining miniaturization of a multi-sink liquid crystal display, and low cost-ization. This effectiveness becomes remarkable with increase of the number of pixels of a liquid crystal display, and reduction of the number of phase expansions of a video signal to input.

[0076] Furthermore, since the noise by the cross talk of a control signal does not occur at all, it can operate a liquid crystal display to stability.

[Translation done.]

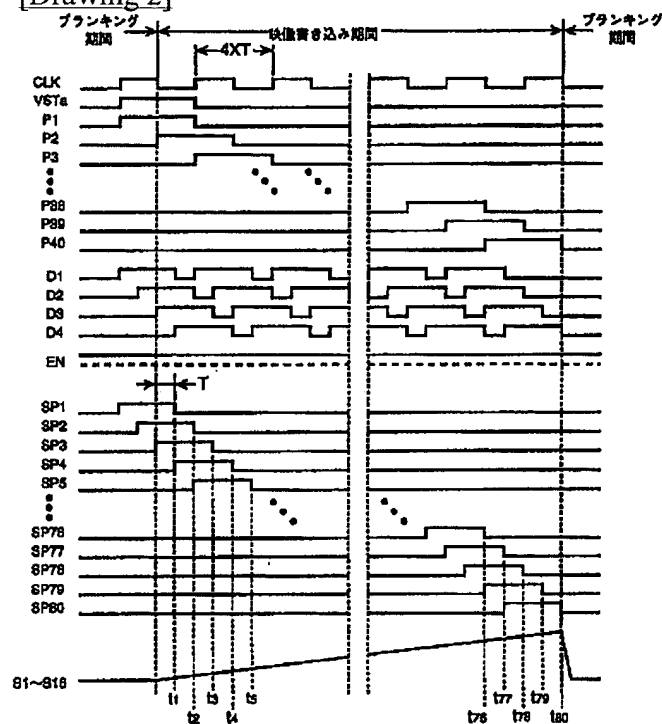
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

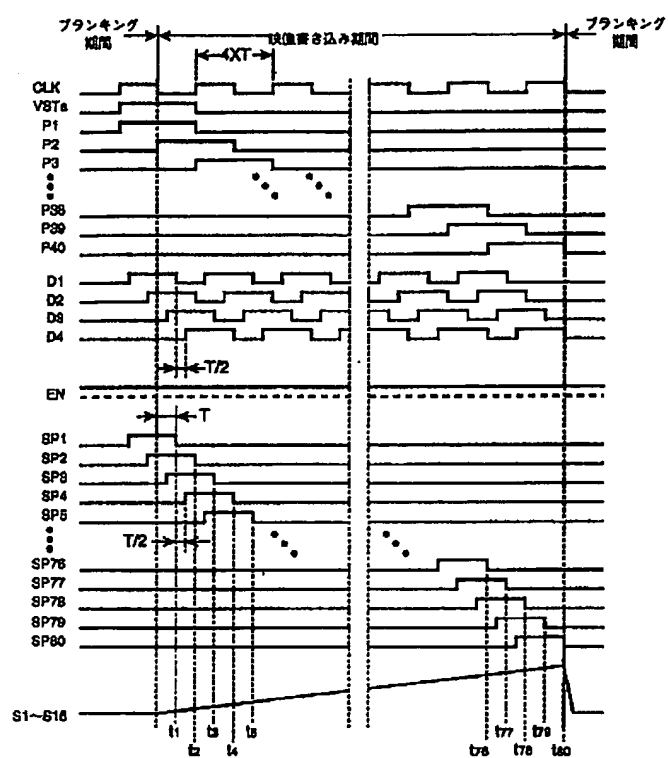
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

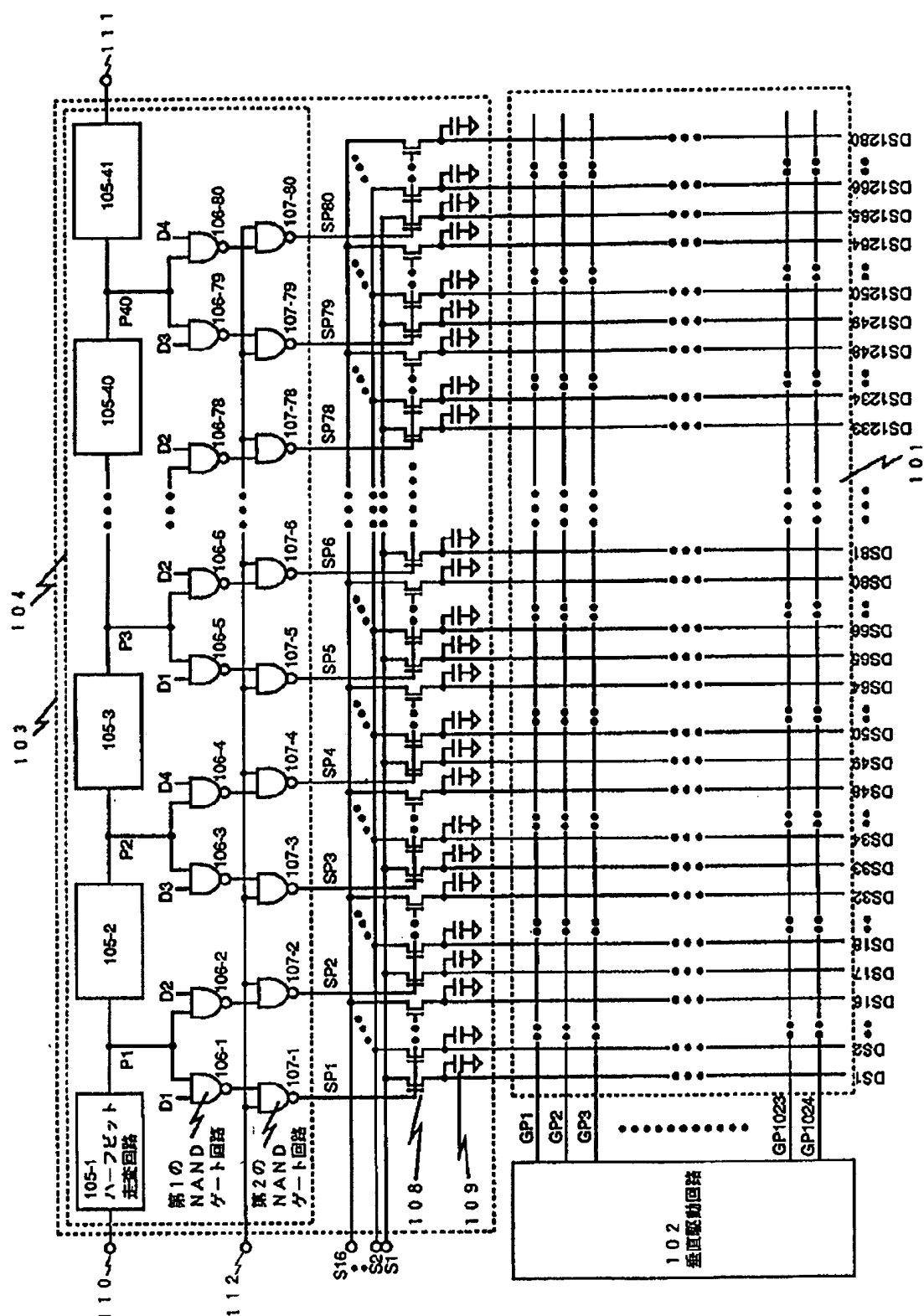
[Drawing 2]



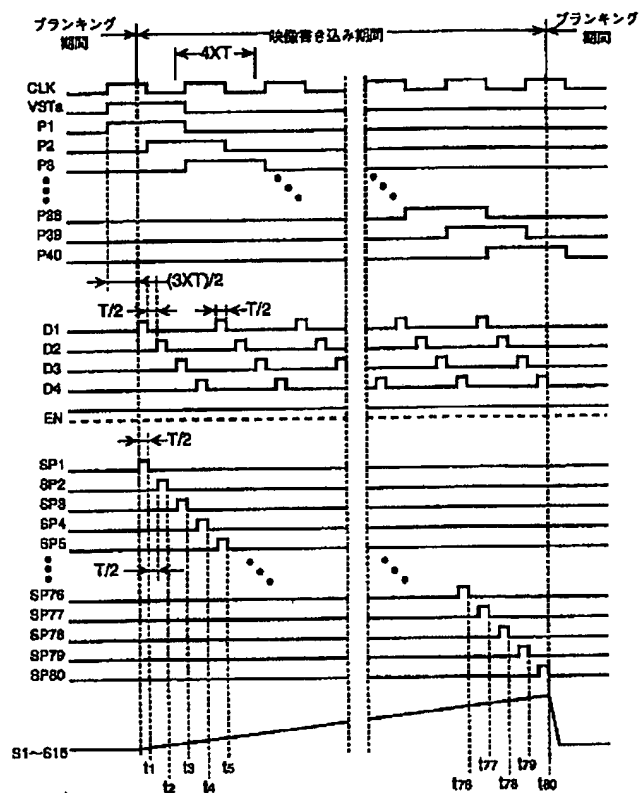
[Drawing 3]



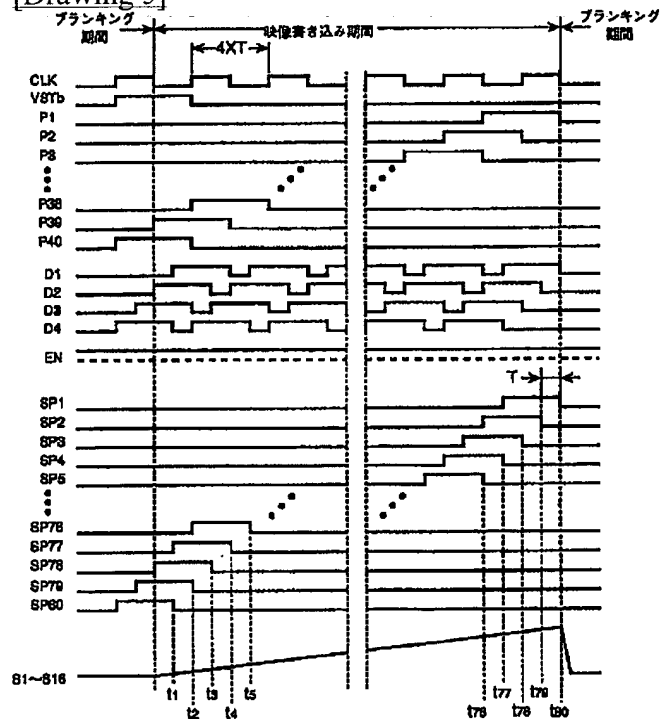
[Drawing 1]



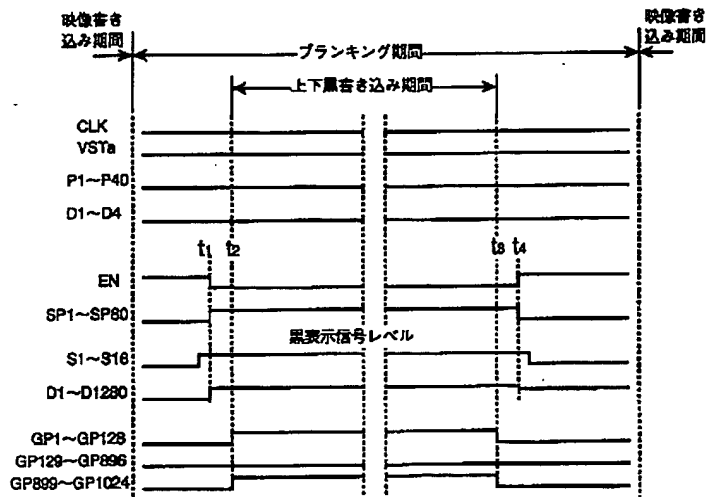
[Drawing 4]



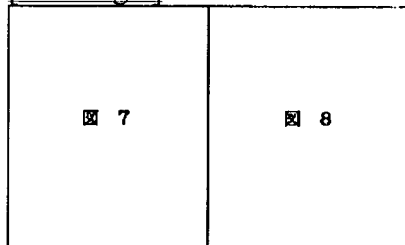
[Drawing 5]



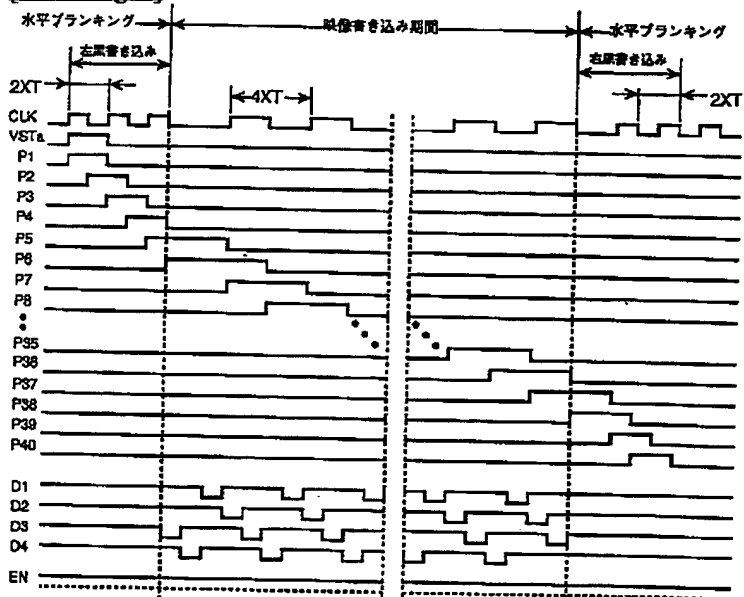
[Drawing 6]



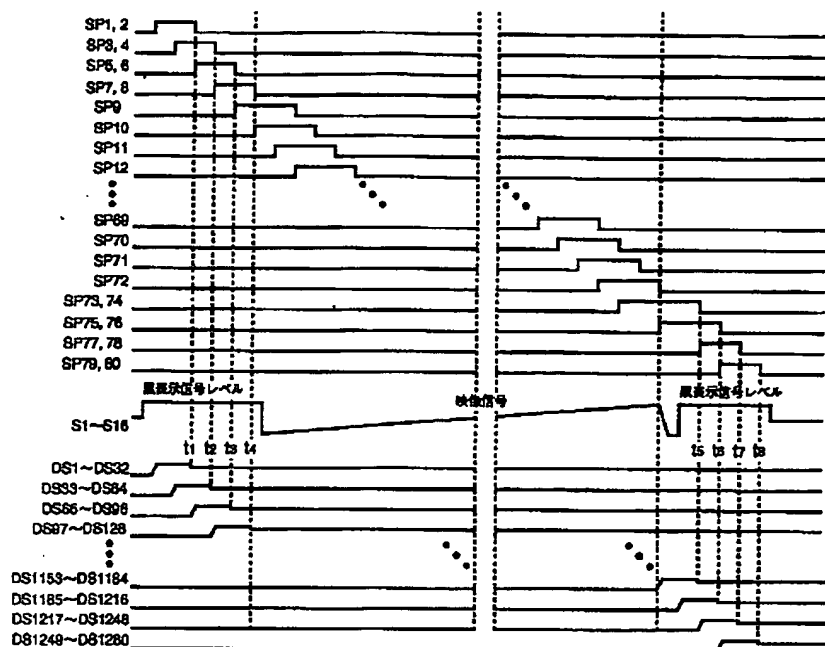
[Drawing 9]



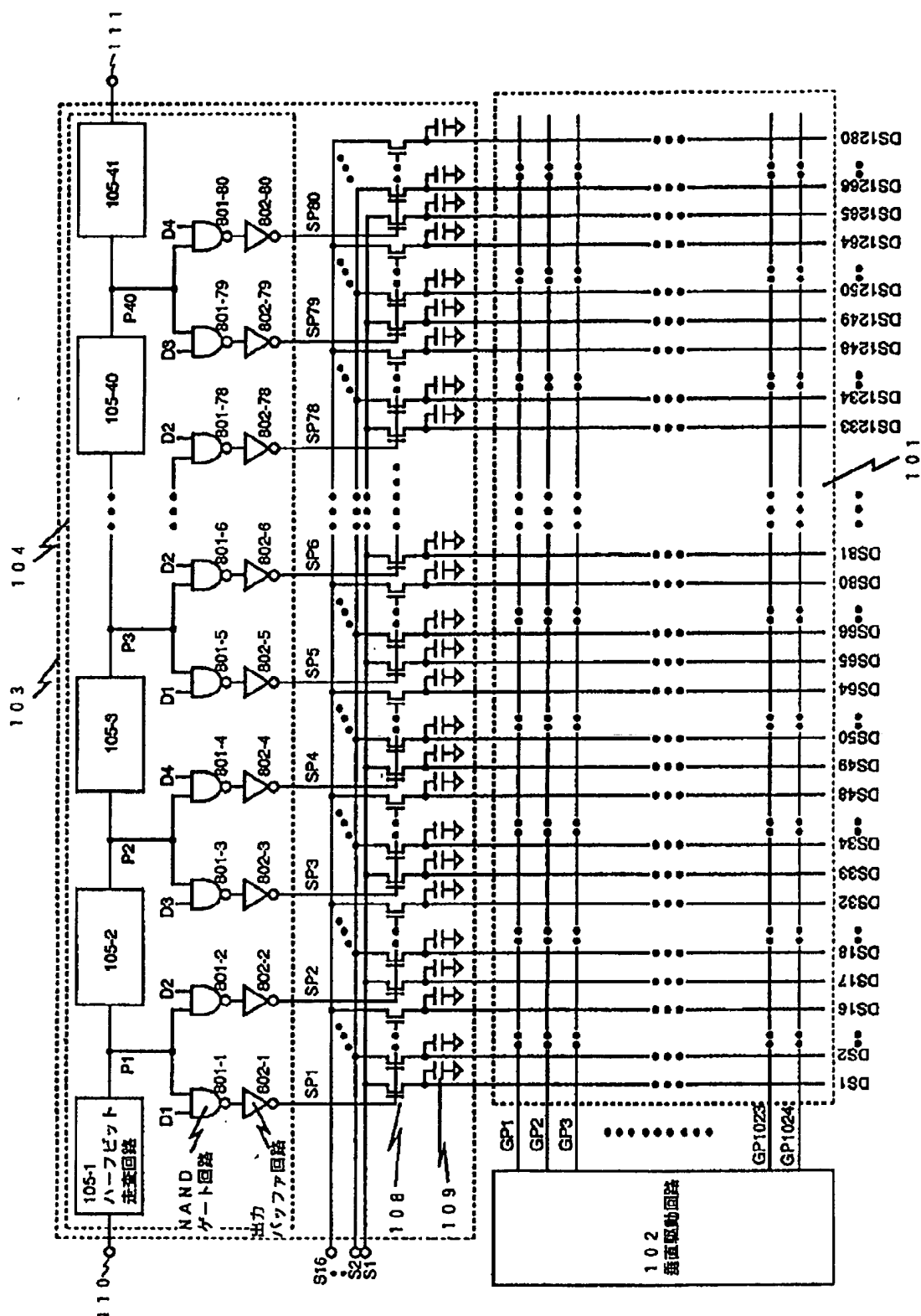
[Drawing 7]



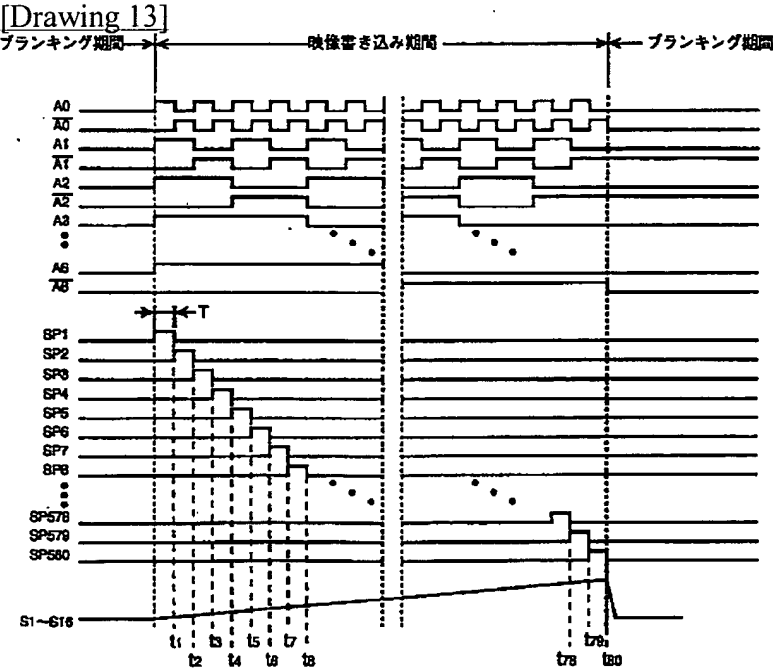
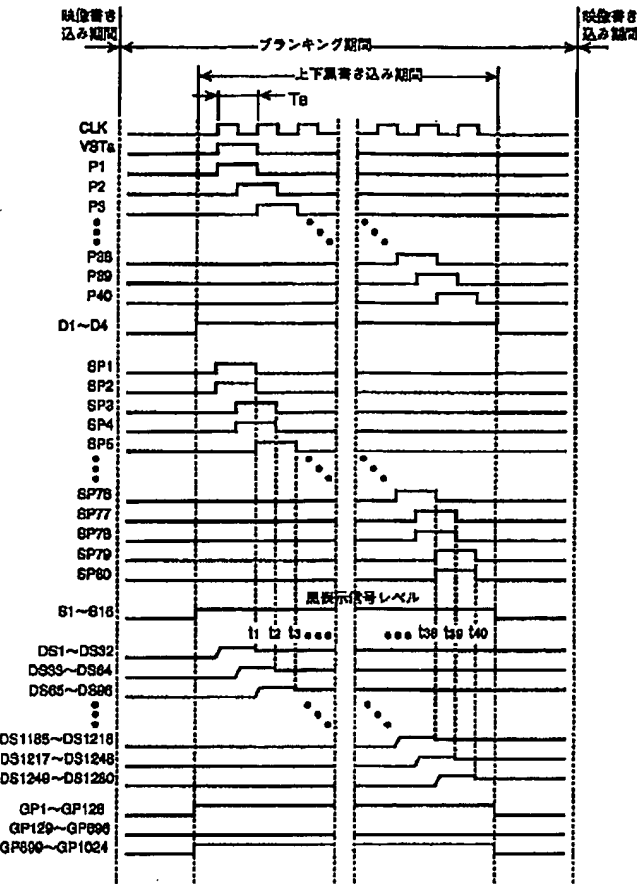
[Drawing 8]



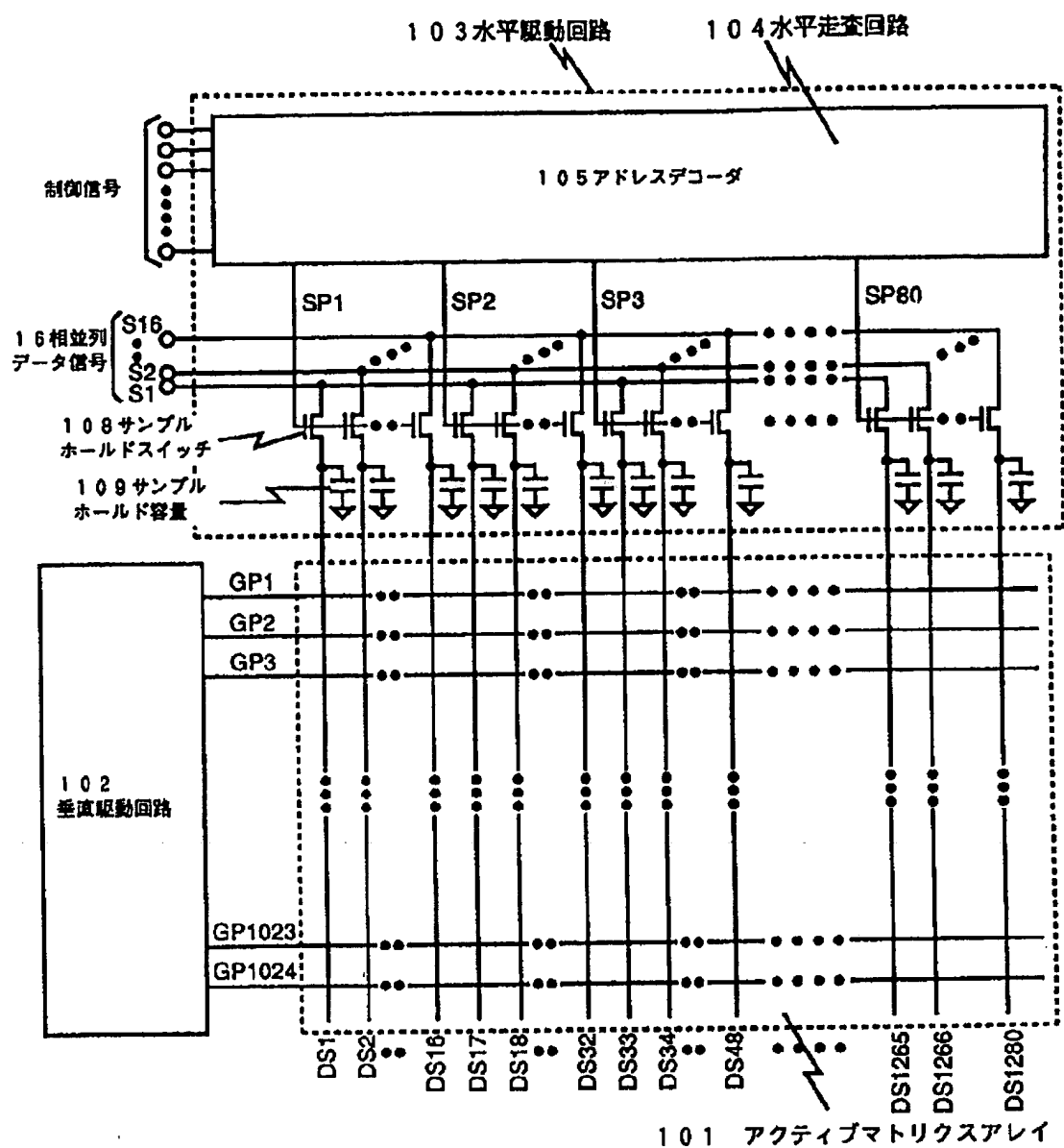
[Drawing 10]



[Drawing 11]



[Drawing 12]



[Translation done.]

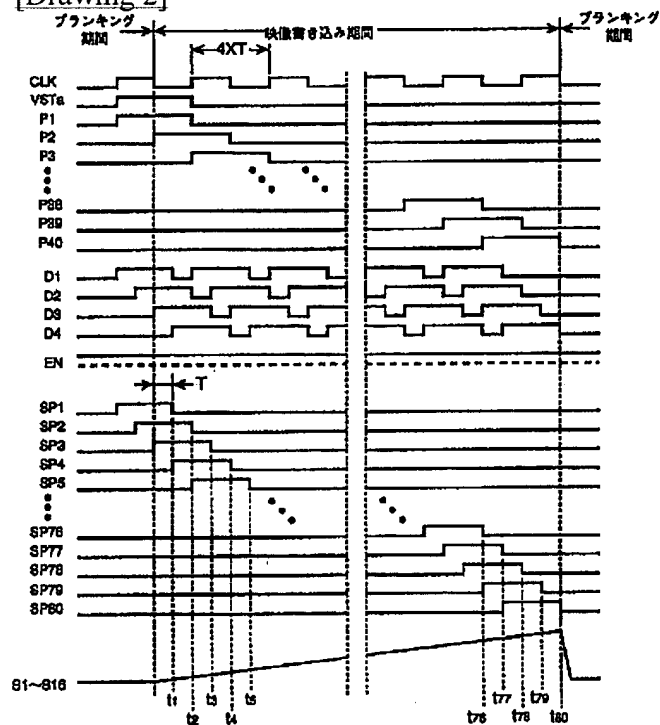
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

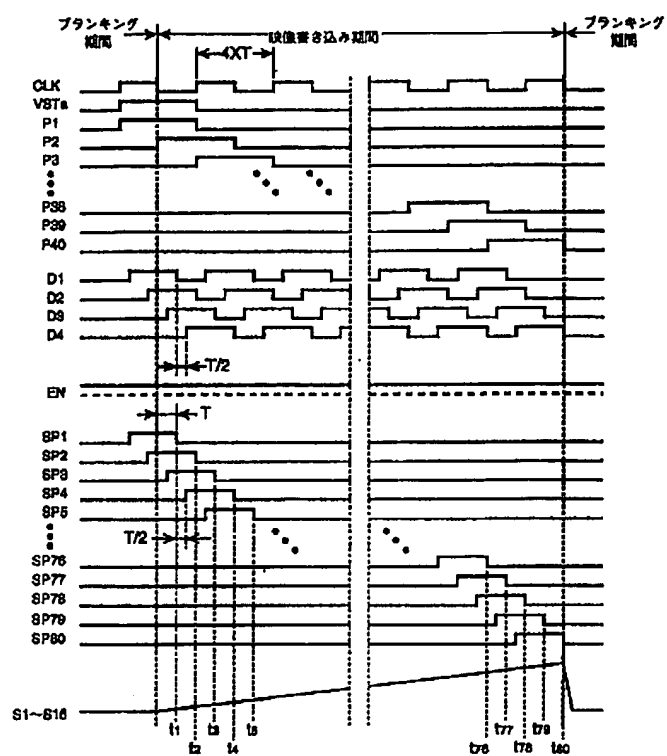
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

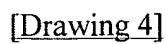
[Drawing 2]

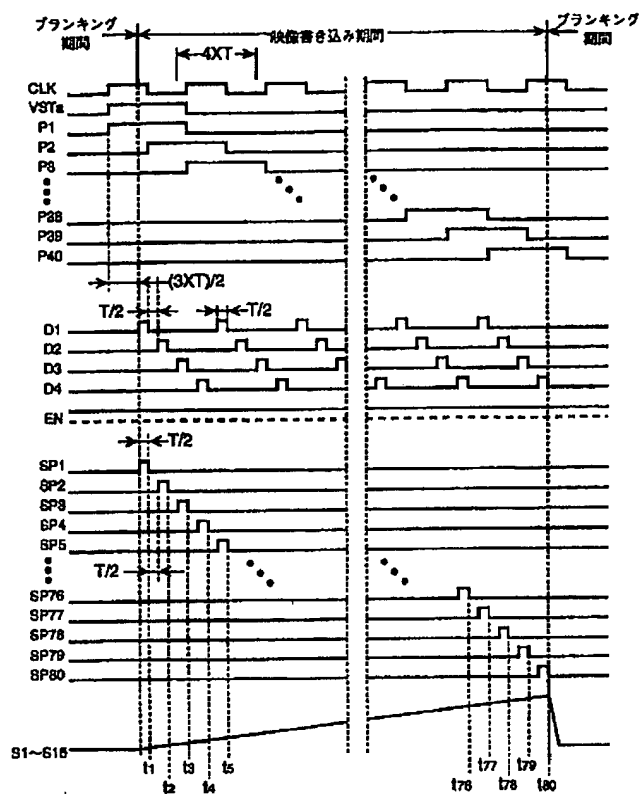


[Drawing 3]

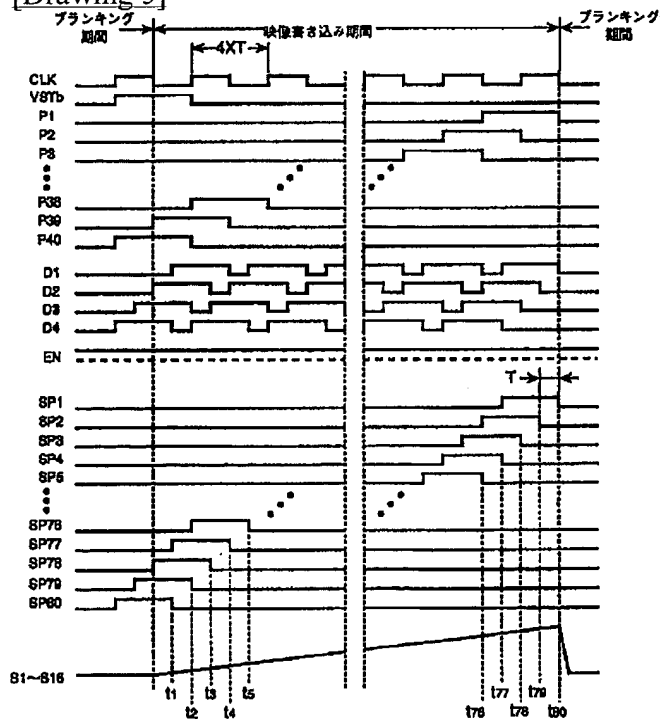


[Drawing 1]

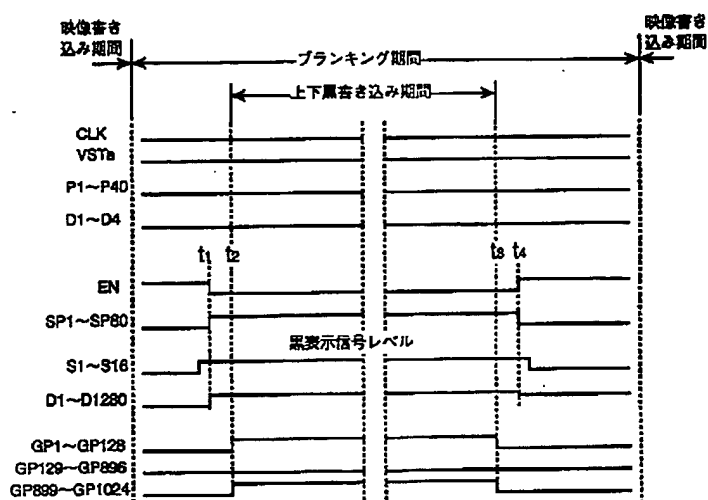




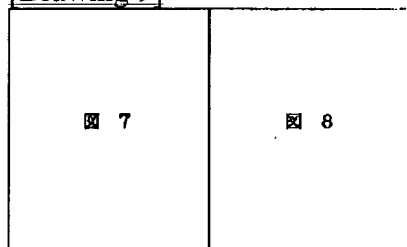
[Drawing 5]



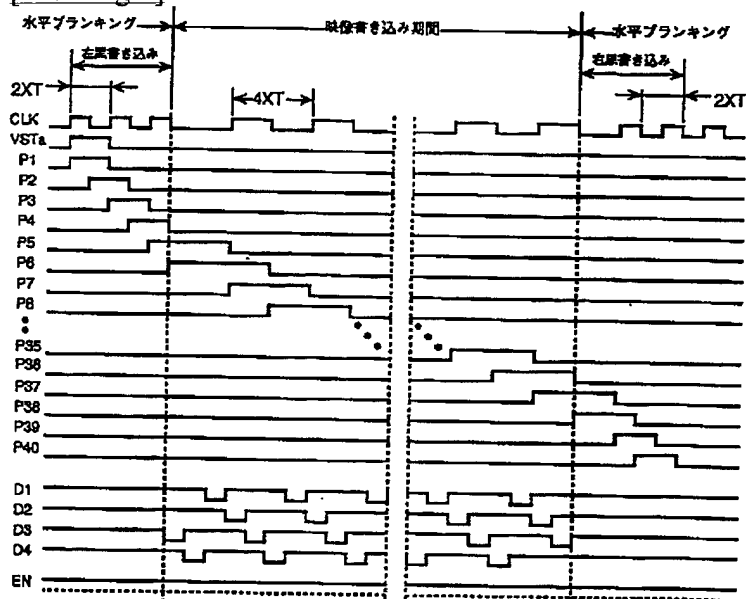
[Drawing 6]



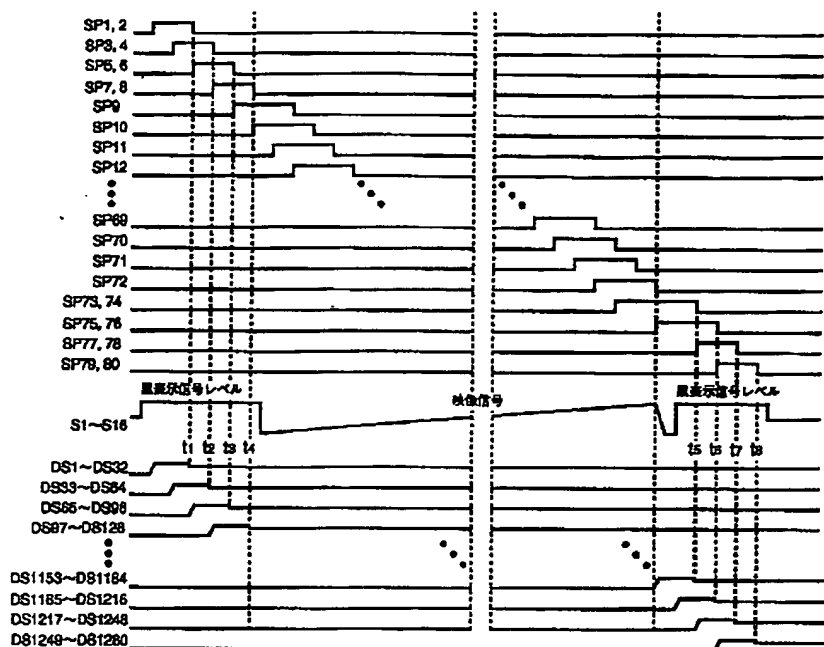
[Drawing 9]



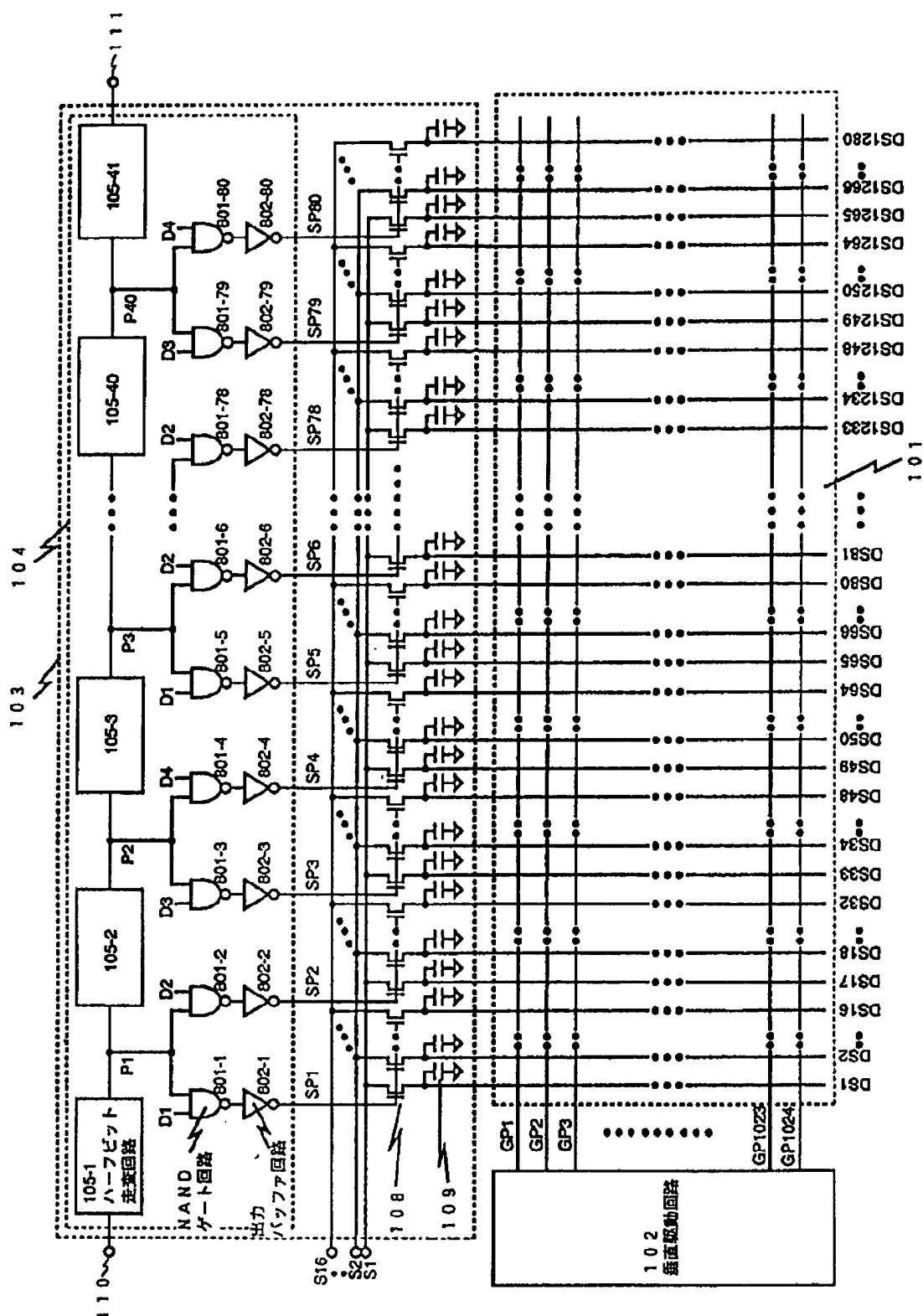
[Drawing 7]



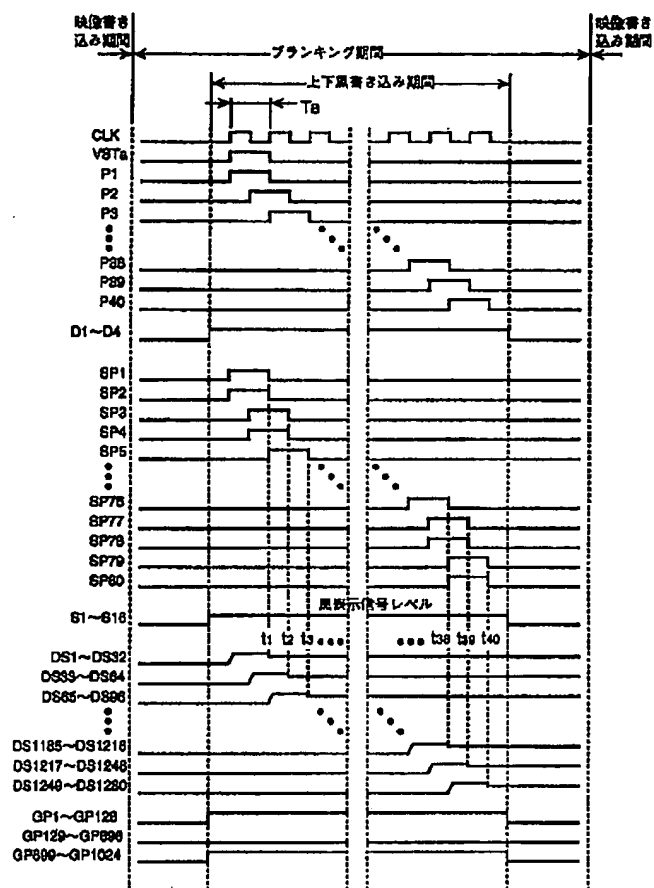
[Drawing 8]



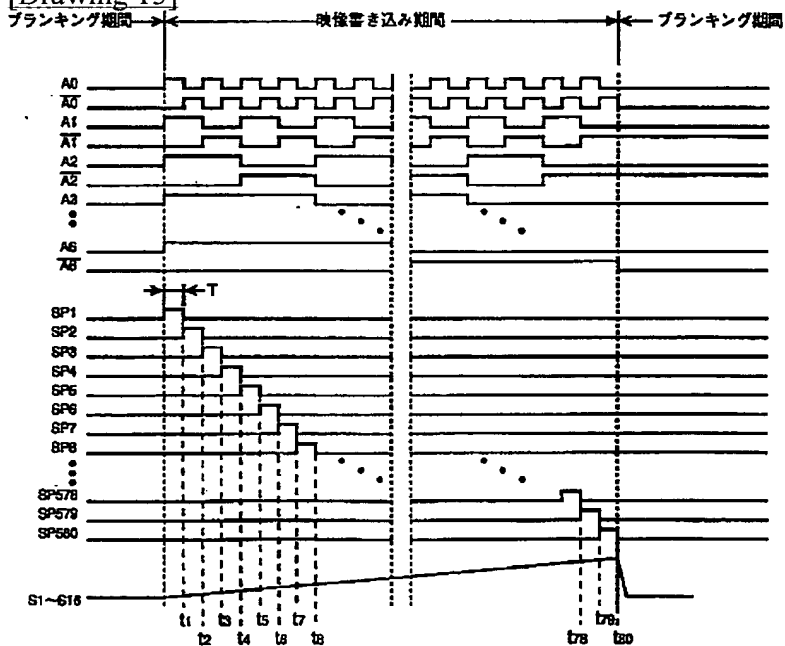
[Drawing 10]



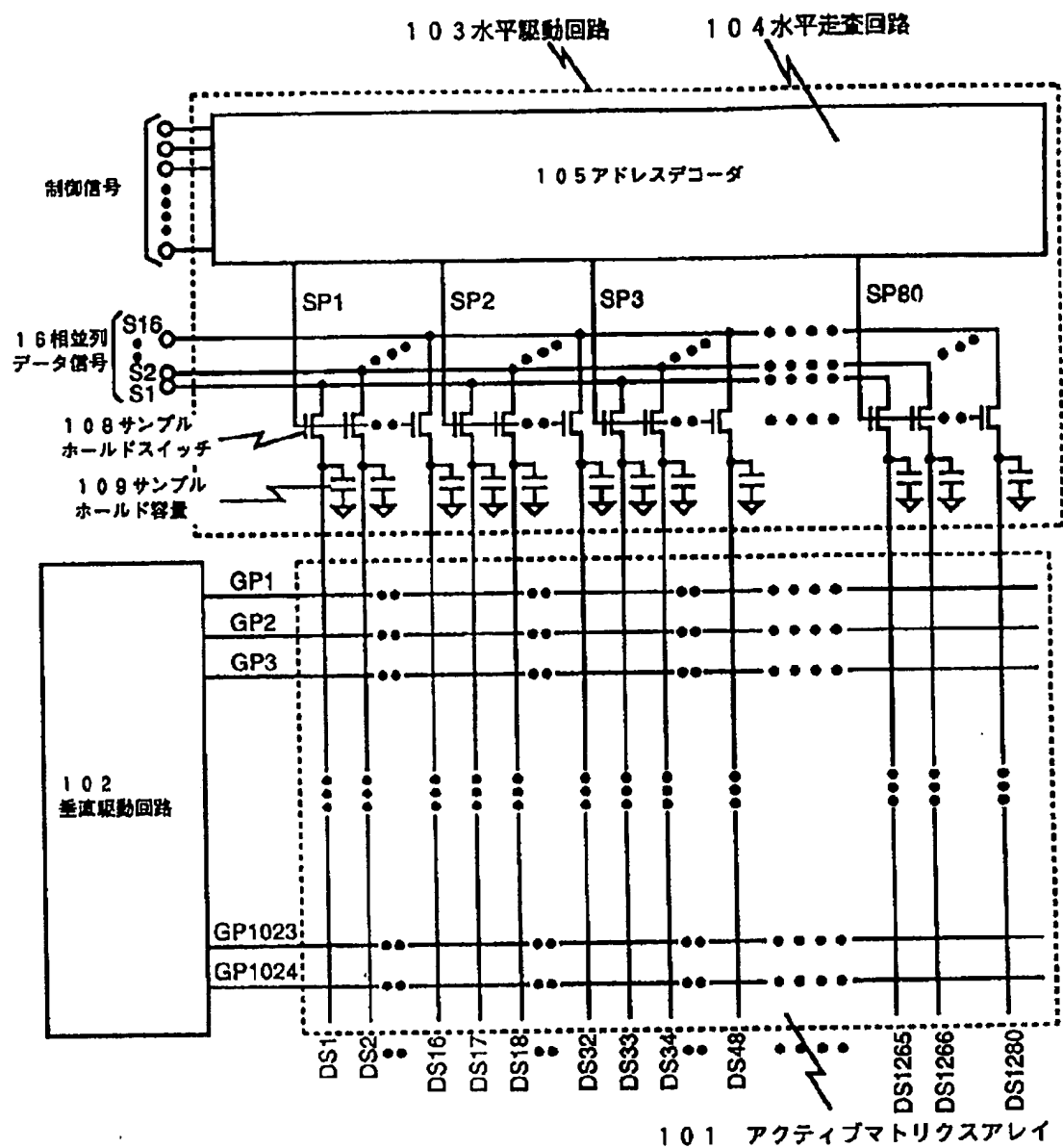
[Drawing 11]



[Drawing 13]



[Drawing 12]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.